Утвержден

НЛПР.431290.001 РЭ1-ЛУ

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ

К1986ВУ024

РУКОВОДСТВО ПО ЭКСПЛУАТАЦИИ

Спецификация

НЛПР.431290.001 РЭ1

Подп. и дата	
Инв. № дубл.	
Взам. инв. №	
Подп. и дата	
Инв. № подл.	

СОДЕРЖАНИЕ

Лист

1 Введение 7
1.1 Общая информация 7
1.2 Основные характеристики: 8
2 Функциональное описание 12
2.1 Процессорное ядро 12
2.2 Память 12
2.2.1 Встроенная Flash-память 12
2.2.2 Встроенное статическое ОЗУ (SRAM) 12
2.2.3 Контроллер прерываний ECLIC 13
2.3 Контроллер внешних прерываний/событий (EXTI) 14
2.4 Система тактирования 14
2.5 Режим начальной загрузки 15
2.6 Схема электропитания 15
2.7 Программируемое устройство контроля напряжения 16
2.8 Стабилизатор напряжения 16
2.9 Режим пониженного энергопотребления 17
2.10 Прямой доступ к памяти (DMA) 18
2.11 Часы реального времени (RTC) 18
2.12 Таймеры 19
2.12.1 Базовые таймеры – TIM6 и TIM7 19
2.12.2 Таймеры общего назначения (TIM2 -TIM5) 20
2.12.3 Продвинутые таймеры (TIM1 и TIM8) 21
2.12.4 Системный таймер 22
2.12.5 Сторожевой таймер (WDG) 22
2.13 Контроллер I2C 23
2.14 Контроллер USART 24
2.15 Контроллер SPI 27
2.16 Контроллер I2S 28
2.17 Контроллер QSPI 29
2.18 Контроллер управления внешней памятью (XUMC) 29
2.19 Контроллер CAN 30
2.20 Порты ввода/вывода общего назначения (GPIO) 31
2.21 Аналого-цифровой преобразователь (АЦП) 32
2.22 Цифро-аналоговый преобразователь (ЦАП) 33
2.23 Операционный усилитель (OPAMP) 33
2.24 Аналоговый компаратор (COMP) 34
2.25 Датчик температуры 34
2.26 Контроллер TSC 35
2.27 Блок вычисления контрольной суммы CRC 35
2.28 Механизм аппаратного ускорения алгоритмов шифрования (SAC) 35
2.29 Уникальный идентификатор устройства (UID/UCID) 36
2.30 Последовательный отладочный интерфейс JTAG 36

3 Обозначение и описание выводов 37
3.1 Схема расположения выводов в корпусе 37
3.2 Описание выводов 38
4 Электрические характеристики 46
4.1 Условия проведения испытаний 46
4.1.1 Минимальные и максимальные значения 46
4.1.2 Типовые значения 46
4.1.3 Стандартная кривая 46
4.1.4 Нагрузочная емкость 46
4.1.5 Входное напряжение на выводе 46
4.1.6 Схема электропитания 47
4.1.7 Измерение тока потребления 47
4.2 Предельно-допустимые характеристики 48
4.3 Условия эксплуатации 49
4.3.1 Общие условия эксплуатации 49
4.3.2 Условия работы при включении и отключении питания 50
4.3.3 Характеристики встроенного модуля сброса и управления питанием 50
4.3.4 Встроенное опорное напряжение 51
4.3.5 Характеристики потребления 52
4.3.6 Характеристики источника внешнего тактового сигнала 55
4.3.7 Характеристики источника внутреннего тактового сигнала 60
4.3.8 Характеристики блока PLL 62
4.3.9 Характеристики Flash-памяти 63
4.3.10 Характеристики XUMC 64
4.3.11 Электромагнитная совместимость (ЭМС) 77
4.3.12 Характеристики электрической чувствительности 78
4.3.13 Характеристики порта ввода/вывода 78
4.3.14 Характеристики вывода NRST 82
4.3.15 Характеристики таймера TIM 83
4.3.16 Характеристики контроллера интерфейса I2C 83
4.3.17 Характеристики контроллера интерфейса SPI/I2S 85
4.3.18 Характеристики контроллера интерфейса QSPI 90
4.3.19 Характеристики контроллера интерфейса CAN 91
4.3.20 Электрические параметры 12-разрядного АЦП 91
4.3.21 Рекомендации по проектированию печатной платы 94
4.3.22 Электрические параметры 12-разрядного ЦАП 94
4.3.23 Электрические параметры операционного усилителя 96
4.3.24 Электрические параметры компаратора 97
4.3.25 Характеристики датчика температуры 98
5 Габаритный чертеж микросхемы 99

СПИСОК РИСУНКОВ

Лист
Рис. 1.1 – Структурная схема микроконтроллера К1986ВУ024 ... 7
Рис. 2.1 – Карта распределения памяти ... 13
Рис. 2.2 – Структурная блок-схема формирования тактовых сигналов ... 15
Рис. 3.1 – Описание выводов корпуса LQFP128 микроконтроллера К1986ВУ024 ... 37
Рис. 4.1 – Параметры нагрузки ... 46
Рис. 4.2 – Схема электропитания ... 47
Рис. 4.3 – Схема измерения потребления тока ... 48
Рис. 4.4 – Временная диаграмма изменяющегося тока источника внешнего высокочастотного тактового сигнала ... 57
Рис. 4.5 – Типовое подключение резонатора ... 59
Рис. 4.6 – Типовая схема включения резонатора 32,768 кГц ... 60
Рис. 4.7 – Временная диаграмма чтения из SRAM/PSRAM/NOR в асинхронном режиме без мультиплексирования ... 64
Рис. 4.8 – Временная диаграмма записи в SRAM/PSRAM/NOR в асинхронном режиме без мультиплексирования ... 65
Рис. 4.9 – Временная диаграмма чтения из PSRAM/NOR в асинхронном режиме с мультиплексированием ... 66
Рис. 4.10 – Временная диаграмма записи в PSRAM/NOR в асинхронном режиме с мультиплексированием ... 67
Рис. 4.11 – Временная диаграмма чтения из PSRAM/NOR в синхронном режиме с мультиплексированием ... 69
Рис. 4.12 – Временная диаграмма записи в PSRAM в синхронном режиме с мультиплексированием ... 70
Рис. 4.13 – Временная диаграмма чтения из PSRAM/NOR в синхронном режиме без мультиплексирования ... 71
Рис. 4.14 – Временная диаграмма чтения из PSRAM/NOR в синхронном режиме без мультиплексирования ... 73
Рис. 4.15 – Временная диаграмма чтения из NAND ... 75
Рис. 4.16 – Временная диаграмма записи в NAND ... 75
Рис. 4.17 – Временная диаграмма чтения из основной области NAND ... 75
Рис. 4.18 – Временная диаграмма записи в основную область NAND ... 76
Рис. 4.19 – Характеристики входного и выходного переменного тока ... 82
Рис. 4.20 – Типовая схема подключения вывода NRST ... 83
Рис. 4.21 – Сигнал шины I2C и схема измерения ... 85
Рис. 4.22 – Временная диаграмма SPI – режим ведомого устройства, CLKPHA=0 ... 87
Рис. 4.23 – Временная диаграмма SPI – режим ведомого устройства, CLKPHA=1 ... 88
Рис. 4.24 – Временная схема SPI – режим ведущего устройства ... 88
Рис. 4.25 – Временная диаграмма режима ведомого устройства I2S (протокол Philips) ... 89
Рис. 4.26 – Временная диаграмма режима ведомого устройства I2S (протокол Philips) ... 90
Рис. 4.27 – Временная диаграмма QSPI в режиме SDR ... 90
Рис. 4.28 – Временная диаграмма QSPI в режиме DDR ... 91
Рис. 4.29 – Характеристики точности АЦП ... 93
Рис. 4.30 – Стандартная схема соединений с использованием АЦП ... 94
Рис. 4.31 – Развязка цепи питания и опорного напряжения (V_{REF+} не подключено к V_{DDA}) ... 94
Рис. 5.1 – Микросхема в корпусе LQFP128 ... 99

СПИСОК ТАБЛИЦ

Лист
Табл. 2-1 – Сравнение функций таймеров ... 19
Табл. 2-2 – Конфигурация режимов контроллера USART ... 26
Табл. 3-1 – Описание выводов ... 38
Табл. 4-1 – Характеристики напряжения ... 48
Табл. 4-2 – Характеристики тока ... 48
Табл. 4-3 – Температурные характеристики ... 49
Табл. 4-4 – Общие условия эксплуатации ... 49
Табл. 4-5 – Условия работы при включении и отключении питания ... 50
Табл. 4-6 – Характеристики встроенного модуля сброса и управления питанием ... 50
Табл. 4-7 – Встроенное опорное напряжение ... 52
Табл. 4-8 – Максимальное потребление тока в режиме работы с кодом обработки данных, ... 52
Табл. 4-9 – Максимальное потребление тока в спящем режиме (SLEEP) с выполнением код из Flash-памяти или SRAM ... 53
Табл. 4-10 – Стандартное и максимальное потребления тока в режимах низкого энергопотребления ... 53
Табл. 4-11 – Типовое потребление тока в режиме работы с кодом обработки данных, ... 54
Табл. 4-12 – Типовое потребление тока в спящем режиме (SLEEP) с кодом обработки данных, ... 55
Табл. 4-13 – Характеристики высокочастотного внешнего тактового сигнала ... 55
Табл. 4-14 – Характеристики низкочастотного внешнего пользовательского тактового сигнала ... 56
Табл. 4-15 – Характеристики генератора высокочастотного тактового сигнала 4 - 32 МГц ... 58
Табл. 4-16 – Характеристики генератора низкочастотного внешнего тактового сигнала (f_{LSE}=32,768 кГц) ... 60
Табл. 4-17 – Характеристики высокочастотного внутреннего генератора тактовых сигналов ... 61
Табл. 4-18 – Характеристики низкочастотного внутреннего генератора тактовых сигналов ... 61
Табл. 4-19 – Время перехода из режима пониженного энергопотребления в рабочий режим ... 62
Табл. 4-20 – Характеристики блока PLL ... 62
Табл. 4-21 – Характеристики Flash-памяти ... 63
Табл. 4-22 – Срок службы Flash-памяти и время хранения данных ... 63
Табл. 4-23 – Временные характеристики чтения из SRAM/PSRAM/NOR в асинхронном режиме без мультиплексирования ... 64
Табл. 4-24 – Временные характеристики записи в SRAM/PSRAM/NOR в асинхронном режиме без мультиплексирования ... 65
Табл. 4-25 – Временные характеристики чтения из PSRAM/NOR в асинхронном режиме с мультиплексированием ... 66
Табл. 4-26 – Временные характеристики записи в PSRAM/NOR в асинхронном режиме с мультиплексированием ... 68
Табл. 4-27 – Временные характеристики чтения из PSRAM/NOR в синхронном режиме с мультиплексированием ... 69
Табл. 4-28 – Временные характеристики записи в PSRAM в синхронном режиме с мультиплексированием ... 70
Табл. 4-29 – Временные характеристики чтения из PSRAM/NOR в синхронном режиме с мультиплексированием ... 72
Табл. 4-30 – Временные характеристики записи в PSRAM в синхронном режиме без мультиплексирования ... 73
Табл. 4-31 – Временные характеристики записи в и чтения из NAND ... 76
Табл. 4-32 – Характеристики ЭМС ... 77
Табл. 4-33 – Характеристики EMI ... 77
Табл. 4-34 – Предельно допустимые значения электростатического разряда ... 78
Табл. 4-35 – Электрическая чувствительность ... 78
Табл. 4-36 – Статические характеристики ввода/вывода ... 79
Табл. 4-37 – Таблица параметров управления вводом/выводом ... 80
Табл. 4-38 – Характеристики выходного напряжения ... 80
Табл. 4-39 – Характеристики входного и выходного изменяющегося тока ... 81
Табл. 4-40 – Характеристики вывода NRST ... 82

Табл. 4-41 – Характеристики TIMx 83
Табл. 4-42 – Характеристики контроллера интерфейса I2C 84
Табл. 4-43 – Характеристики контроллера интерфейса SPI1 85
Табл. 4-44 – Характеристики контроллера интерфейса SPI2/SPI3 86
Табл. 4-45 – Характеристики контроллера I2S 88
Табл. 4-46 – Характеристики контроллера интерфейса QSPI в режиме SDR 90
Табл. 4-47 – Характеристики контроллера интерфейса QSPI в режиме DDR 91
Табл. 4-48 – Характеристики АЦП 92
Табл. 4-49 – Точность АЦП 92
Табл. 4-50 – Характеристики ЦАП 94
Табл. 4-51 – Характеристики операционного усилителя 96
Табл. 4-52 – Характеристики компаратора 97
Табл. 4-53 – Характеристики датчика температуры 98

1 ВВЕДЕНИЕ

1.1 Общая информация

Микроконтроллер К1986ВУ024 с максимальной рабочей частотой 144 МГц построен на базе 32-разрядного процессорного ядра RISC-V N308, поддерживает обработку чисел с плавающей запятой и команды цифровой обработки сигналов (ЦОС), поддерживает команды параллельного вычисления.

В состав микроконтроллера входит статическое ОЗУ (SRAM) 144 Кбайт, четыре 12-разрядных аналого-цифровых преобразователя (АЦП) с частотой преобразований до 5 Мвыб/с, 4 операционных усилителя rail-to-rail, 7 компараторов, два 12-разрядных цифро-аналоговых преобразователя (ЦАП) с частотой преобразований до 1 Мвыб/с для каждого преобразователя и интерфейс XUMC управляющий внешней памятью. Микроконтроллер поддерживает до 97 портов общего назначения, до 24 каналов емкостного управления (емкостные кнопки), имеет встроенные многоканальные интерфейсы передачи данных U(S)ART, I2C, I2S, SPI, QSPI, CAN, встроенный модуль аппаратного ускорения алгоритмов шифрования. Микроконтроллер содержит встроенную Flash-память с поддержкой шифрования объемом 512 Кбайт и поддерживает управление многопользовательским доступом к разделам данных.

В микроконтроллере имеется возможность выбора пользователем различных режимов потребления электроэнергии, в следствии чего он может применяться в системах с низким энергопотреблением.

Структурная схема микросхемы представлена на Рис. 1.1. Для связи внутренних блоков используется одна высокоскоростная шина AHB, две низкоскоростные периферийные шины APB.

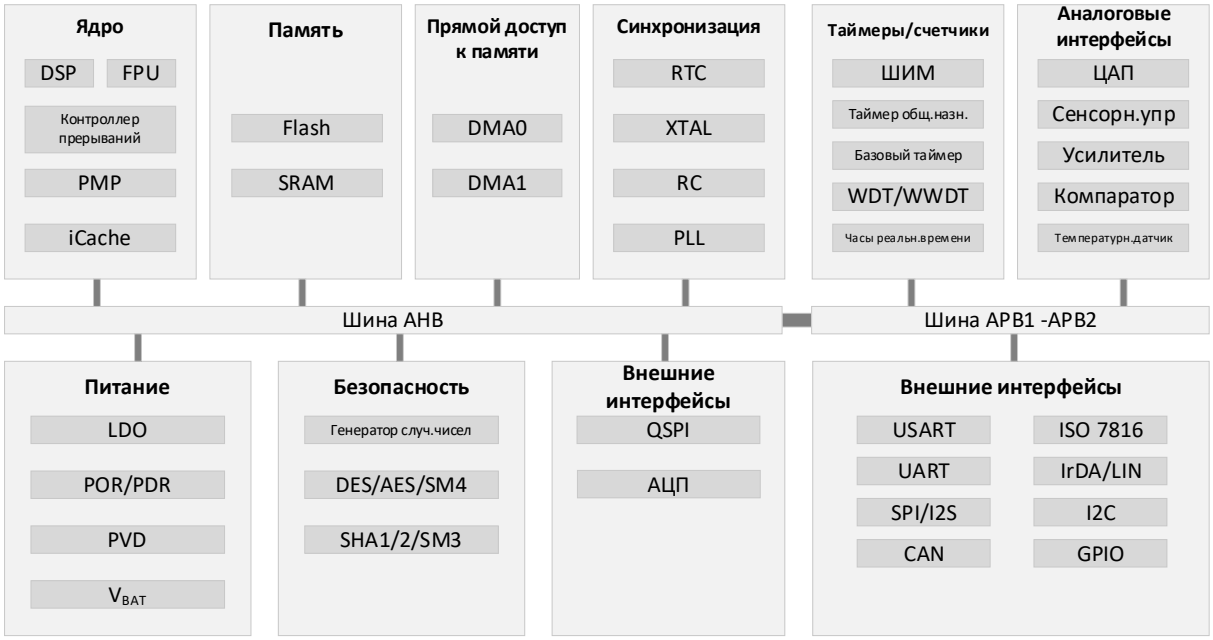


Рис. 1.1 – Структурная схема микроконтроллера К1986ВУ024

1.2 Основные характеристики:

Процессорное ядро:

- 32-разрядное ядро с архитектурой RISC-V, одноцикловые команды аппаратного умножения и деления, поддержка обработки чисел с плавающей запятой и команд ЦОС, блок защиты памяти, доверенная среда исполнения (TEE);
- встроенный кэш команд объемом 8 Кбайт, поддержка модуля ускорения Flash-памяти для выполнения программы с нулевым временем ожидания;
- максимальная частота - 144 МГц.

Память:

- Flash-память объемом 512 Кбайт, поддержка шифрования памяти, управление многопользовательским доступом к разделам памяти и защита данных, поддержка функции проверки аппаратных отказов с использованием кодов коррекции ошибок;
- 100 000 циклов перезаписи, 10-летний срок хранения данных;
- память SRAM объемом 144 Кбайт, включая раздел R-SRAM (Retention SRAM) объемом 16 Кбайт) для хранения данных в режимах пониженного энергопотребления, который поддерживает функцию контроля четности для обнаружения аппаратных отказов.

Режимы пониженного энергопотребления:

- режим ожидания: 2,9 мкА с сохранением всех регистров резервного копирования, все входы/выходы находятся в Z-состоянии, кроме NRST, PA0_WKUP, PC13-TAMPER, PC14-OSC32_IN, PC15-OSC32_OUT, с возможность запуска часов реального времени (RTC), с сохранением данных в разделе R-SRAM объемом 16 Кбайт, с возможностью быстрого перехода в рабочий режим;
- режим STOP2: 9,5 мкА с возможностью запуска RTC, с сохранением данных в разделе R-SRAM объемом 16 Кбайт, с сохранением данных регистров процессора, порты ввода вывода продолжают работать, с возможностью быстрого перехода в рабочий режим;
- режим STOP0: 130 мкА, регулятор напряжения может быть сконфигурирован для нормального или маломощного режима, с сохранением всех данных SRAM, с порты ввода вывода продолжают работать, с возможностью быстрого перехода в рабочий режим;
- рабочий режим: потребление от 60 мкА/МГц.

Система тактирования:

- HSE: внешний осциллятор 4 - 32 МГц (высокочастотный);
- LSE: внешний осциллятор 32,768 кГц (низкочастотный);

– HSI: внутренний RC-генератор 8 МГц (высокочастотный);
– LSI: внутренний RC-генератор 40 кГц (низкочастотный);
– встроенный блок PLL;

Сброс:

– поддержка сброса при включении питания, отключении питания, от внешнего сигнала сброса;
– поддержка программно настраиваемой функции обнаружения низкого значения напряжения и аппаратного сброса при экстремально низком значении;
– поддержка сброса от сторожевого таймера.

Интерфейсы обмена данными:

– 7 контроллеров интерфейсов U(S)ART с максимальной скоростью 4,5 Мбит/с: 3 контроллера USART с поддержкой 1xISO7816, 1xIrDA, LIN и 4 контроллера UART;
– 3 контроллера интерфейса SPI с частотой до 36 МГц, 2 из которых поддерживают I2S;
– 1 контроллер интерфейса QSPI с частотой до 144 Мбит/с;
– 4 контроллера интерфейса I2C с частотой до 1 МГц, с настраиваемыми режимами «ведущий-ведомый» и поддержкой основного и альтернативного адреса в режиме «ведомый»;
– 2 контроллера интерфейса CAN 2.0B;
– Интерфейс XUMC (Extended Universal Memory Controller) для работы с внешней памятью типа SRAM, PSRAM, NOR/NAND Flash и TFT ЖК-дисплеем
– до 97 пользовательских линий ввода-вывода общего назначения (GPIO) с функциями мультиплексирования, максимальная скорость переключения составляет 50 МГц, большинство линий ввода-вывода общего назначения поддерживают напряжение 5 В;

Высокоскоростной аналоговый интерфейс:

– 4 высокоскоростных 12-разрядных АЦП с частотой преобразований до 5 Мвыб/с, с настраиваемым разрешением 12/10/8/6 бит, с частотой преобразований до 9 Мвыб/с с разрешением 6 бит. Имеется поддержка до 40 внешних несимметричных входных каналов и дифференциального режима работы.
– 4 операционных усилителя rail-to-rail и встроенным программируемым 32-кратным (макс.) усилением напряжения;
– 7 высокоскоростных аналоговых компараторов со встроенным 64-уровневым настраиваемым источником опорного сигнала;
– до 24 каналов емкостного сенсорного управления (емкостных кнопок) с поддержкой

функции быстрого перехода из режима пониженного энергопотребления в рабочий режим;

- 2 12-разрядных ЦАП с частотой преобразований до 1 Мвыб/с;
- поддержка внешнего входного независимого источника опорного напряжения;
- поддержка работы всех аналоговых интерфейсов от напряжения в диапазоне 1,8 - 3,6 В.

Таймеры и счётчики:

- 2 16-разрядных таймера с поддержкой функций захвата входного сигнала, сравнения выходного сигнала, выходного ШИМ и входного квадратурного кодирования. Минимальный период срабатывания 6,9 нс. Каждый таймер содержит 4 независимых канала, 3 из которых поддерживают 6 комплементарных выходов ШИМ;
- 4 16-разрядных таймера общего назначения, 4 независимых канала в каждом таймере, поддерживает захват входного сигнала/сравнение выходного сигнала/выход ШИМ/импульсный выход;
- 2 16-разрядных базовых таймера;
- 1 64-разрядный системный таймер;
- 1 64-разрядный счетчик тактов ядра, 1 64-разрядный счетчик успешно выполненных инструкций ядра;
- 1 7-разрядный оконный сторожевой таймер (WWDG);
- 1 12-разрядный независимый сторожевой таймер (IWDG).

Средства программирования и отладки:

- поддержка 2-х и 4-х проводного интерфейса отладки JTAG;
- поддержка UART загрузчика.

Средства защиты данных:

- встроенный модуль аппаратного ускорения алгоритмов шифрования;
- поддержка алгоритмов AES, DES/3DES, SHA (SHA1/SHA224/SHA256), SM3, SM4, MD5;
- шифрование данных Flash-памяти;
- управление многопользовательским доступом к разделам данных;
- генератор истинно случайных чисел (TRNG);
- выполнение проверки циклическим избыточным кодом CRC16/32;
- поддержка защиты от записи (WRP), несколько уровней (L0/L1/L2) защиты от чтения (RDP);
- поддержка безопасной начальной загрузки, загрузки зашифрованных программ, обновления системы безопасности;

– поддержка контроля отказов генератора тактовых сигналов, контроля несанкционированного доступа.

Условия эксплуатации:

– Диапазон рабочего напряжения: от 1,8 до 3,6 В;
– Температурный диапазон: от -40 до +105 °С;
– Электростатический разряд (ЭСР): ±4 кВ (модель человеческого тела, МЧТ), ±1 кВ (модель заряженного устройства, МЗУ);

Остальное:

– 2 высокоскоростных контроллера прямого доступа в память (DMA); каждый контроллер поддерживает 8 каналов, адрес источника и адрес назначения канала могут настраиваться произвольным образом;
– Часы реального времени (RTC), поддержка вечного календаря с учетом високосных годов, аварийные события, периодический переход в рабочий режим, поддержка калибровки внутреннего и внешнего генератора тактовых сигналов;
– 96-разрядный уникальный идентификатор устройства (UID) и 128-разрядный уникальный идентификатор клиента (UCID);

Корпус: LQFP128, размер 14 мм x 14 мм.

2 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

2.1 Процессорное ядро

Процессор микроконтроллера К1986ВУ024 представляет собой 32-разрядное ядро с архитектурой RISC-V, с блоком аппаратного умножения и деления, поддержкой набора команд для обработки чисел с плавающей запятой одинарной точности, команды ЦОС и вычисления с одним потоком команд и несколькими потоками данных (ОКМД). В процессор встроен кэш команд для поддержки высокоскоростного доступа к памяти, поддерживается функция физической защиты памяти (PMP). Процессор обладает значительной энергоэффективностью и обеспечивает выполнение основных функций безопасности.

Ядро поддерживает механизм TEE, механизм изоляции прерывания/исключения машинного уровня от прерывания/исключения более низкого привилегированного уровня, и запуск программного обеспечения в режимах Supervisor и User.

Реализована поддержка высокоскоростной шины команд (ILM) и шины данных (DLM), чем обеспечивается эффективная работа системной шины в части доступа к системной памяти. Ядро содержит встроенный контроллер прерываний, обеспечивается поддержка системного таймера и стандартного интерфейса отладки JTAG.

2.2 Память

Микроконтроллер К1986ВУ024 содержит встроенную Flash-память с поддержкой шифрования и встроенную память SRAM. На Рис. 2.1 ниже представлена карта распределения памяти.

2.2.1 Встроенная Flash-память

Встроенная Flash-память объемом 512 Кбайт используется для хранения программ и данных. Размер страницы - 2 Кбайт. Поддерживает операции стирания страницы, записи слова, чтения слова, чтения полуслова, чтения байта.

Реализована поддержка шифрования памяти, автоматического шифрования при записи, автоматического расшифровывания при чтении (в том числе вовремя выполнения программ).

Имеется поддержка управления доступом к разделам данных, что позволяет организовать работу с тремя пользовательскими разделами и запретить получение доступа к данным разными пользователями (доступ разрешён только к исполняемому коду).

2.2.2 Встроенное статическое ОЗУ (SRAM)

Встроенная SRAM объёмом 144 Кбайт, состоит из SRAM объёмом 128 Кбайт и R-SRAM объемом 16 Кбайт. Retention SRAM позволяет сохранять данные в режимах пониженного энергопотребления STOP2 и STANDBY (режим ожидания). Данная функция настраивается пользо-

вателем.

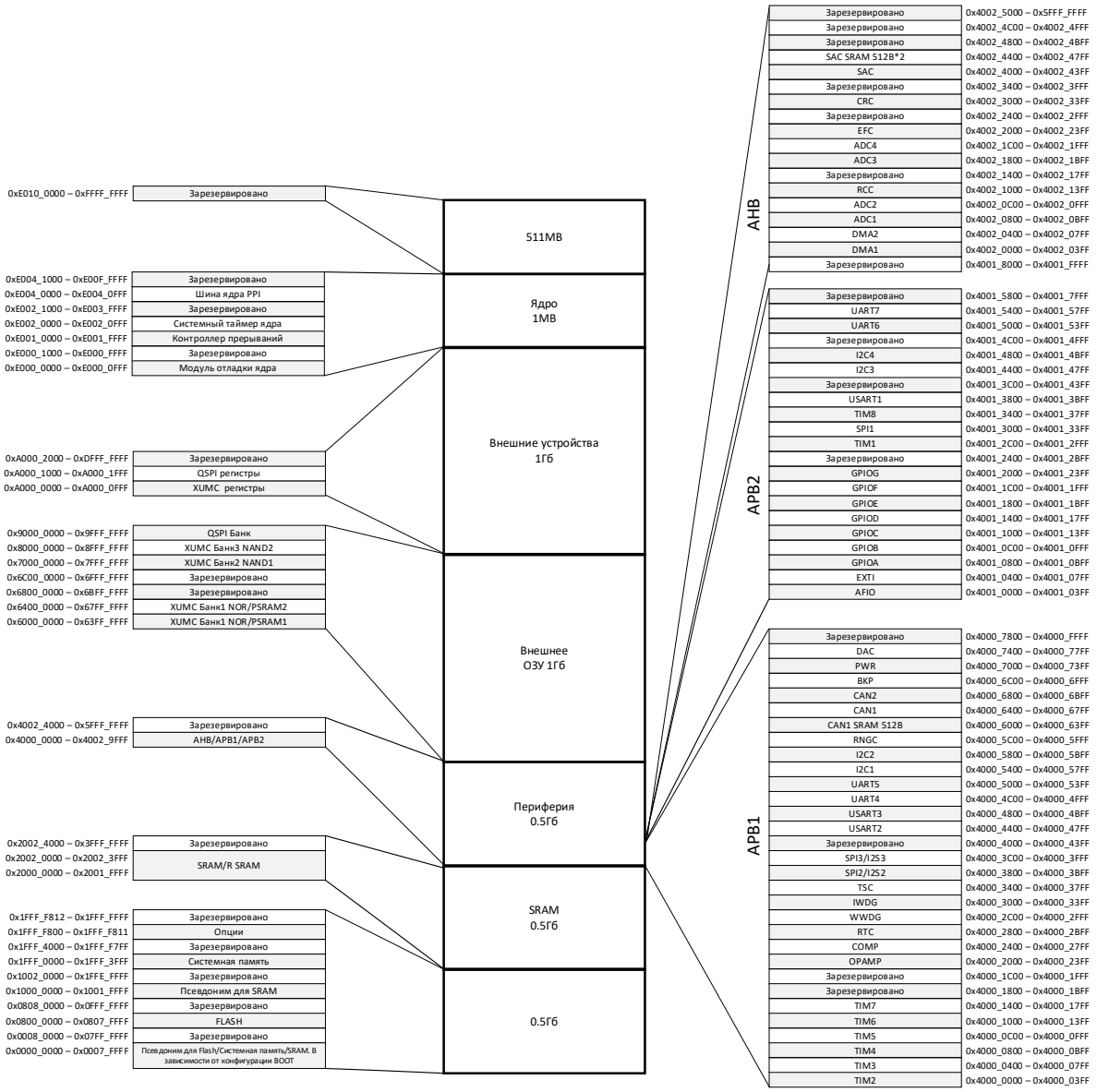


Рис. 2.1 – Карта распределения памяти

2.2.3 Контроллер прерываний ECLIC

Основные характеристики контроллера прерываний:

- Способен обрабатывать до 86 каналов маскируемых прерываний (исключая 19 внутренних прерываний) и 16 уровней приоритета.
- Обеспечивает низкую задержку обработки прерываний;
- Адрес вектора прерываний непосредственно включён в ядро;
- Переключение на обработку прерываний с более высоким приоритетом, полученных позднее;
- Поддержка технологии tail-chaining;
- Автоматическое сохранение состояния процессора;

– Автоматическое восстановление при возврате из прерывания без дополнительных избыточных команд.
– Модуль обеспечивает гибкое управление прерываниями с минимальной задержкой их обработки.

2.3 Контроллер внешних прерываний/событий (EXTI)

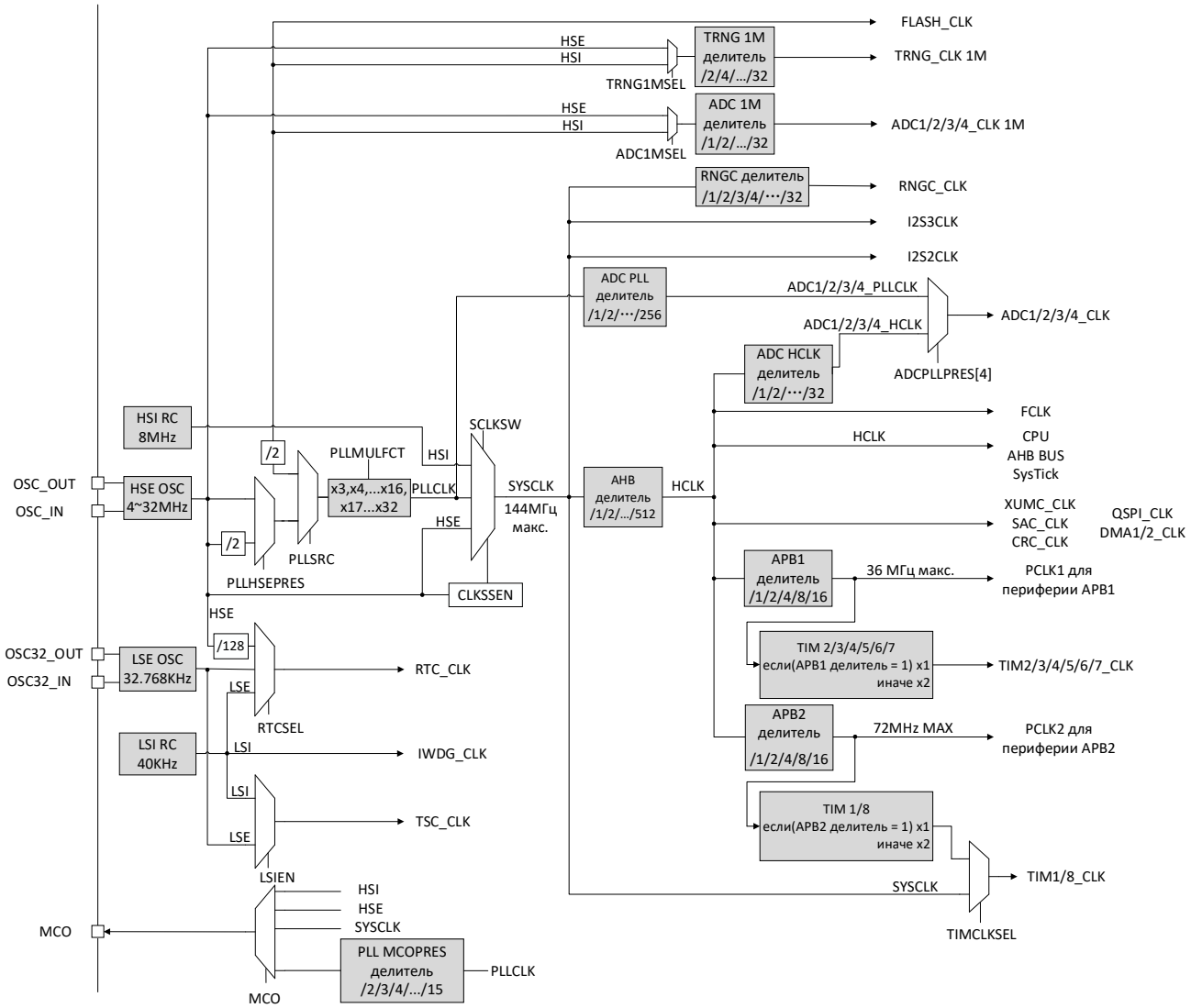
Контроллер внешний прерываний/событий содержит 22 детектора фронта импульса для генерации запросов на прерывание/событие. Каждая линия прерывания может быть отдельно настроена на событие срабатывания (передний, задний, или оба фронта) и может маскироваться индивидуально; имеется регистр ожидания, который сохраняет статус всех запросов на прерывание. Контроллер EXTI может детектировать длительность импульса, которая меньше периода тактового сигнала внутренней шины APB2. К 16 линиям внешних прерываний подключается до 97 портов ввода-вывода общего назначения.

2.4 Система тактирования

В устройстве предусмотрена поддержка следующих генераторов тактовых сигналов: внутренний RC-генератор HSI (8 МГц), внутренний RC-генератор LSI (40 кГц), внешний осциллятор HSE (4 - 32 МГц), внешний осциллятор LSE (32,768 кГц), блок PLL.

При сбросе внутренний RC-генератор HSI устанавливается в качестве генератора тактового сигнала процессора по умолчанию, а затем пользователь может выбрать внешний осциллятор HSE, который поддерживает функцию контроля отказов. Если эта функция включена, то при обнаружении отказа генератора внешнего тактового сигнала он будет изолирован, а система автоматически переключится на внутренний генератор HSI. Для фиксирования данного события предусмотрено отдельное прерывание. Кроме того, при необходимости (например, при отказе внешнего осциллятора, используемого опционально) имеется возможность полного управления прерыванием блока PLL.

Для настройки частоты доменов шины AHB, высокоскоростной шины APB (APB2) и низкоскоростной шины APB (APB1) используется несколько делителей. Максимальная частота шины AHB составляет 144 МГц, максимальная частота шины APB2 составляет 72 МГц, а максимальная частота шины APB1 - 36 МГц. Блок-схема формирования тактовой частоты представлена на Рис. 2.2.



Примечание: когда в качестве входного тактового сигнала PLL используется генератор HSI, максимальная тактовая частота системы не может превышать 128 МГц.

Рис. 2.2 – Структурная блок-схема формирования тактовых сигналов

2.5 Режим начальной загрузки

При запуске можно выбрать один из трех режимов загрузки с помощью выводов BOOT0/1:

- Загрузка из Flash-памяти;
- Загрузка из системной памяти;
- Загрузка из внутренней SRAM.

Загрузчик (Bootloader) хранится в системной памяти, с помощью него Flash-память может быть запрограммирована через интерфейс USART1.

2.6 Схема электропитания

Схема электропитания состоит из следующих частей:

– V_{DD} = 1,8 - 3,6 В: вывод V_{DD} подает питание на входы/выводы и внутренний регулятор напряжения.
– V_{DDA} = 1,8 - 3,6 В: обеспечивает питание АЦП, ЦАП, операционных усилителей, компараторов, блока сброса, RC-генераторов и аналоговой части блока PLL.
– V_{DDA} и V_{SSA} должны быть подключены к V_{DD} и V_{SS} соответственно.
– V_{BAT} = 1,8 - 3,6 В: питание для RTC, внешнего генератора 32 кГц и резервных регистров при отключенном V_{DD}. Более подробная информация о подключении выводов питания приведена на Рис. 4.2.

2.7 Программируемое устройство контроля напряжения

В микроконтроллере задействованы схемы сброса при включении питания (POR) и сброса при отключении питания (PDR). Эти части схемы питания всегда находится в рабочем состоянии для обеспечения работоспособности системы, когда напряжение питания превышает 1,8 В; когда V_{DD} падает ниже установленного порога ($V_{POR/PDR}$) происходит сброс микроконтроллера без использования схемы внешнего сброса.

В микроконтроллере также имеется блок детектора напряжения питания (блок PVD), который контролирует напряжение питания V_{DD}/V_{DDA} и сравнивает его с пороговым значением V_{PVD}. В случае, если V_{DD} становится ниже или выше порогового значения V_{PVD}, генерируется прерывание, и обработчик прерываний может выдавать предупреждающее сообщение. Функция блока PVD включается программным способом. Значения $V_{POR/PDR}$ и V_{PVD} приведены в Табл. 4-6.

2.8 Стабилизатор напряжения

Стабилизатор имеет три режима работы: основной режим, режим пониженного энергопотребления и режим выключения.

– Основной – режим нормальной работы;
– Пониженного энергопотребления – используется для режима STOP0 процессора;
– Отключение питания – используется в режимах STOP2 и STANDBY процессора: выход стабилизатора напряжения находится в высокоимпедансном состоянии, питание схемы ядра отключено, сам стабилизатор напряжения находится в состоянии нулевого потребления (содержимое регистров и SRAM будет потеряно).

Стабилизатор всегда находится в активированном состоянии после сброса и выключается в режиме ожидания при высокоимпедансном состоянии выхода.

2.9 Режим пониженного энергопотребления

Микроконтроллер К1986ВУ024 поддерживает пять режимов пониженного энергопотребления.

– **Спящий режим (SLEEP):**

В спящем режиме выключен только процессор, все периферийные устройства активны и могут перевести процессор в рабочий режим при возникновении прерывания/события.

– **Режим STOP0:**

Режим STOP0 основан на режиме «глубокого сна» ядра. В случае необходимости сохранения данных SRAM и регистров, с использованием режима STOP0 можно добиться более низкого энергопотребления. В режиме STOP0 тактирование основного домена питания выключается, блок PLL, RC-генератор HSI и внешний осциллятор HSE также выключаются, а стабилизатор напряжения может быть переведён как в основной режим, так и в режим пониженного энергопотребления.

Микроконтроллер может быть переведен в рабочий режим из режима STOP0 любым сигналом, сформированным как сигнал EXTI. Подобным сигналом могут быть 16 внешних сигналов EXTI (связанных с вводом/выводом), сигнал пробуждения RTC, аварийный сигнал RTC, сигнал пробуждения от емкостного сенсорного управления.

– **Режим STOP2:**

Режим STOP2 основан на режиме «глубокого сна» ядра, и все области цифровой логики ядра отключаются от питания. Основной стабилизатор напряжения, HSE/HSI и блок PLL выключены. Состояния регистров процессора сохраняются, LSE/LSI могут быть сконфигурированы, как источники тактового сигнала, порты ввода вывода продолжают работать, при этом функция мультиплексирования портов не доступна.

Данные в R-SRAM объемом 16 Кбайт сохраняются, остальные данные SRAM и данные регистров будут утеряны. Для резервного хранения данных регистров выделяется 84 байта памяти.

Микроконтроллер может быть переведен в рабочий режим из режима STOP2 любым сигналом, сформированным как сигнал EXTI. Подобным сигналом могут быть 16 внешних сигналов EXTI (связанных с вводом/выводом), выходной сигнал блока PVD, сигнал пробуждения RTC, аварийный сигнал RTC, сигнал пробуждения от емкостного сенсорного управления.

– **Режим ожидания (STANDBY):**

Наименьшее величина потребляемого тока при питании от V_{DD} достигается в режиме ожидания. Внутренний стабилизатор напряжения выключается, блок PLL, RC-генератор HSI и

внешний осциллятор HSE также выключаются; после перехода в режим ожидания данные регистров будут потеряны. Исключение составляют данные резервных регистров, данные R-SRAM.

Внешний сигнал сброса на выводе NRST, сигнал сброса от независимого сторожевого таймера (IWDG), передний фронт импульса на выводе WKUP, сигнал пробуждения RTC могут перевести микроконтроллер из режима ожидания в рабочий режим.

– **Режим V_{BAT}:**

При отключении питания V_{DD} микроконтроллер всегда автоматически переходит в режим V_{BAT}. В режиме V_{BAT}, большинство вводов/выводов находятся в высокоимпедансном состоянии, за исключением NRST, PA0-WKUP, PC13-TAMPER, PC14, PC15.

Примечание: RTC, IWDG и RC-генераторы LSE/LSI не будут остановлены при входе в режим STOP0, STOP2 и режим ожидания.

2.10 Прямой доступ к памяти (DMA)

Микроконтроллер К1986ВУ024 содержит 2 контроллера прямого доступа к памяти DMA общего назначения, каждый из которых поддерживает 8 каналов. Данные контроллеры могут управлять передачей данных из памяти в память, из периферийного устройства в память и из памяти в периферийное устройство. Они поддерживают управление циклическими буферами, что позволяет избежать прерывания передачи данных от контроллера при заполнении буфера.

В каждом канале реализована аппаратная логическая схема запроса DMA, в тоже время каждый канал может быть запущен программно. Длина передаваемых данных, адрес источника и адрес назначения передачи могут быть индивидуально установлены программным способом для каждого канала.

DMA можно использовать для большинства периферийных устройств: SPI, I2C, USART, DAC, I2S, ADC, таймеров TIMx.

2.11 Часы реального времени (RTC)

Часы реального времени RTC – это набор непрерывно работающих счетчиков со встроенным модулем календарных часов, что позволяет реализовать функции вечного календаря, а также функции аварийного прерывания и периодического прерывания (минимум 2 такта). Питание RTC может осуществляться от выводов V_{DD} или V_{BAT}. При наличии напряжения на выводе V_{DD} электропитание осуществляется от данного вывода. В остальных случаях питание подается через вывод V_{BAT}, который автоматически выбирается и подключается на аппаратном уровне. Ни системный сброс, ни сброс по наличию/отсутствию питания не сбрасывают RTC. Сброс RTC не происходит и при переходе из режима ожидания в рабочий режим.

В качестве управляющего генератора тактовых сигналов RTC может быть выбран внешний

осциллятор 32,768 кГц, внутренний RC-генератор LSI 40 кГц или HSE/128. Для сценариев, требующих очень высокой точности синхронизации, рекомендуется использовать внешний осциллятор 32,768 кГц в качестве источника синхронизации. В то же время, чтобы компенсировать отклонение данного осциллятора, RTC могут быть откалиброваны. В RTC предусмотрен 22-разрядный делитель для тактового сигнала, который по умолчанию формирует тактовый сигнал с периодом в 1 секунду при тактовой частоте 32,768 кГц. Кроме того, RTC могут использоваться в состоянии пониженного энергопотребления для перехода в рабочий режим и для активации работы контроллера TSC.

2.12 Таймеры

Таймеры микроконтроллера К1986ВУ024 представлены 2-мя продвинутыми таймерами управления, 4-мя таймерами общего назначения и 2-мя базовыми таймерами, а также 2 сторожевыми таймерами и 1 системным таймером.

В Табл. 2-1 приведено сравнение функций продвинутых таймеров управления, таймеров общего назначения и базовых таймеров:

Табл. 2-1 – Сравнение функций таймеров

<table>
<tr><th>Таймер</th><th>Разрядность счетчика</th><th>Направление счёта</th><th>Коэффициент деления</th><th>Формирование запроса DMA</th><th>Канал захвата/ сравнения</th><th>Комплиментарный выход</th></tr>
<tr><td>TIM1
TIM8</td><td rowspan="3">16 разрядов</td><td rowspan="2">вверх, вниз, вверх/вниз</td><td rowspan="3">Любое целое число в диапазоне от 1 до 65536</td><td rowspan="3">Возможно</td><td rowspan="2">4</td><td>Да</td></tr>
<tr><td>TIM2
TIM3
TIM4
TIM5</td><td rowspan="2">Нет</td></tr>
<tr><td>TIM6
TIM7</td><td>вверх</td><td>0</td></tr>
</table>

2.12.1 Базовые таймеры – TIM6 и TIM7

Два независимых базовых таймера (TIM6/TIM7), каждый из которых содержит 16-разрядный счетчик с автоматической перезагрузкой, тактируемый сигналом от собственного программируемого делителя. Эти таймеры могут формировать сигналы отсчета времени как таймер общего назначения, и, в частности, могут быть источником тактового сигнала для ЦАП. Они напрямую подключены к ЦАП внутри микроконтроллера и непосредственно управляют ЦАП через вход триггера.

Основные функции базового таймера:

- 16-разрядный накопительный счетчик с автоматической перезагрузкой;
- 16-разрядный программируемый (может быть изменен в реальном времени) делитель входного тактового сигнала со значением коэффициента деления от 1 до 65536;
- запуск синхронизации ЦАП;

– генерация прерывания/запроса DMA в ответ на событие переполнения счетчика.

2.12.2 Таймеры общего назначения (TIM2 -TIM5)

В микроконтроллере имеется четыре встроенных таймера общего назначения (TIM2, TIM3, TIM4 и TIM5), которые могут работать синхронно. Данные таймеры полностью независимы. Каждый таймер имеет 16-разрядный счетчик с поддержкой автоматической перезагрузки, 16-разрядный делитель частоты и 4 независимых канала. Каждый канал может использоваться для захвата входного сигнала (для измерения длительности импульса), сравнения выходного сигнала, ШИМ и в качестве выхода в режиме одиночного импульса.

Основные функции таймера общего назначения:

– 16-разрядный счётчик с поддержкой направления счёта вверх, вниз, вверх/вниз и автоматической загрузки;
– 16-разрядный программируемый (может быть изменен в реальном времени) делитель частоты, коэффициент деления тактового сигнала счетчика может иметь любое значение от 1 до 65536;
– Режимы работы независимых каналов:
  - захват входного сигнала;
  - сравнение выходного сигнала;
  - генерация ШИМ (режим выравнивания по фронту или центру);
  - выход в режиме одиночного импульса.
– схема синхронизации управляет таймером с помощью внешних сигналов и обеспечивает взаимодействие нескольких таймеров;
– прерывание/запрос DMA генерируется при возникновении следующих событий:
  - переполнение/обнуление счётчика, инициализация счётчика (программным способом или с помощью внутреннего/внешнего запускающего сигнала);
  - запускающее событие (запуск, остановка, счёт по внутреннему/внешнему запускающему сигналу);
  - захват входного сигнала;
  - сравнение выходного сигнала;
– поддержка схемы инкрементального (квадратурного) энкодера и датчика Холла для позиционирования;
– импульсный вход может использоваться в качестве входа внешнего тактового сигнала или входа управления током cycle-by-cycle.

Таймеры общего назначения также могут работать с продвинутыми таймерами используя возможности синхронизации или привязки событий. В режиме отладки счетчик может быть «заморожен». Возможно использование любого таймера общего назначения для генерации выходного сигнала ШИМ. Каждый таймер имеет независимый механизм запроса DMA.

2.12.3 Продвинутые таймеры (TIM1 и TIM8)

Каждый из двух независимых продвинутых таймеров (TIM1/TIM8) микроконтроллера представляет собой 16-разрядный счетчик с функцией автоматической перезагрузки, тактируемый программируемым предварительным делителем. Данные таймеры можно использовать для выполнения различных функций, включая измерение длительности импульса входного сигнала (захват входного сигнала) и генерацию выходного сигнала (сравнение выходного сигнала, ШИМ, комплементарный выход ШИМ с программируемым временем dead time и т. д.). Используя предварительный делитель таймера и делитель управления тактовым сигналом RCC, можно устанавливать значение длительности импульсов и периода сигналов в диапазоне от нескольких микросекунд до нескольких миллисекунд. Каждый таймер полностью независим, и они не использует совместно никакие ресурсы.

Основные функции улучшенного таймера управления:

- 16-разрядный счётчик с поддержкой направления счёта вверх, вниз, вверх/вниз и автоматической загрузки;
- 16-разрядный программируемый (может быть изменен в реальном времени) делитель частоты, коэффициент деления тактового сигнала счетчика может иметь любое значение от 1 до 65536;
- поддержка сигнала частотой до 144 МГц в качестве входного тактового сигнала;
- режимы работы независимых каналов:
  - захват входного сигнала;
  - сравнение выходного сигнала;
  - генерация ШИМ (режим выравнивания по фронту или центру);
  - выход в режиме одиночного импульса.
- запуск преобразования АЦП с помощью ШИМ;
- комплементарные выходы с программно настраиваемым временем dead time;
- схема синхронизации управляет таймером с помощью внешних сигналов и обеспечивает взаимодействие нескольких таймеров;
- счётчик повторений, позволяющий обновлять регистр таймера через заданное количество циклов счётчика;
- входной сигнал Break, который может перевести выходной сигнал таймера в состояние сброса или перевести его в известное состояние;
- прерывание/запрос DMA генерируется при возникновении следующих событий:
  - переполнение/обнуление счетчика, инициализация счетчика (программным способом или с помощью внутреннего/внешнего запускающего сигнала);
  - запускающее событие (запуск, остановка, счёт по внутреннему/внешнему запускающему сигналу);
  - захват входного сигнала;
  - сравнение выходного сигнала;
  - входной сигнал Break.

– поддержка схемы инкрементального (квадратурного) энкодера и датчика Холла для позиционирования;
– импульсный вход может использоваться в качестве входа внешнего тактового сигнала или входа управления током cycle-by-cycle.

В режиме отладки счётчики могут быть остановлены, тем самым будут отключены и выходные сигналы. Многие функции продвинутого таймера совпадают с функциями таймеров общего назначения. Таймеры этих двух типов также имеют одинаковую внутреннюю структуру. В связи с этим продвинутый таймер может взаимодействовать с таймером общего назначения, используя возможности синхронизации или привязки событий.

2.12.4 Системный таймер

Системный таймер – это 64-разрядный счётчик с направлением счёта вверх, который может использоваться операционной системой реального времени для определения системного времени.

Системный таймер обладает следующими характеристиками:
– 64-разрядный суммирующий счетчик;
– может быть сгенерировано маскируемое системное прерывание, когда значение счетчика больше или равно значению регистра сравнения;
– программируемый источник тактовых сигналов, в качестве генератора тактовых сигналов может использоваться системный генератор тактовых сигналов или низкочастотный генератор тактовых сигналов RTC.

2.12.5 Сторожевой таймер (WDG)

В микроконтроллере реализована поддержка двух сторожевых таймеров: независимого сторожевого таймера (IWDG) и оконного сторожевого таймера (WWDG). Наличие двух сторожевых таймеров обеспечивает более высокую безопасность, точность синхронизации по времени и гибкость использования.

Независимый сторожевой таймер (IWDG)

Независимый сторожевой таймер основан на 12-разрядном счётчике (счёт вниз) и 8-разрядном делителе частоты. Таймер тактируется независимым низкочастотным RC-генератором, который обеспечивает его работу даже при отказе основного генератора тактовых сигналов и позволяет работать в режимах STOP0, STOP2 и STANDBY. После включения IWDG, если на сторожевой таймер не поступает сигнал в течение установленного времени (очистка счетчика сторожевого таймера), счетчик счетчик досчитывает до нуля, после чего происходит сброс микроконтроллера. Таймер может быть использован для перезагрузки всей

системы в случае проблем с приложением или для управления временем ожидания. Конфигурацией байтов опций может быть настроен как программный или аппаратный сторожевой таймер. Возможность сброса и выхода из режима пониженного энергопотребления настраиваются пользователем.

Оконный сторожевой таймер (WWDG)

Оконные сторожевые таймеры часто используются для контроля программных отказов, возникающих в результате внешних воздействий или непредвиденных логических условий, которые становятся причиной отклонения приложения от нормального рабочего цикла.

Основные характеристики:

- Источником тактового сигнала является шина APB1;
- 7-битный программируемый счётчик, считающий сверху вниз;
- Сброс при возникновении следующих условий:
  - если значение счётчика меньше 0x40;
  - если счётчик перезагружается во время того, как его значение больше, чем значение соответствующего порогового регистра;
- Поддержка генерации прерывания EWI (Early Wakeup Interrupt), когда значение счетчика равно 0x40, что может быть использовано для перезагрузки счетчика и предотвращения сброса оконного сторожевого таймера.

2.13 Контроллер I2C

В микроконтроллере реализована возможность использования до четырех независимых контроллеров интерфейсаI2C, которые поддерживаю работу с несколькими ведущими устройствами, управляют всеми специфическими для шины временами синхронизации, протоколом, арбитражем, относящимися к шине I2C. Контроллер поддерживает различную скоростью передачи данных (до 1 МГц), DMA и совместим с шиной SMBus 2.0. Может использоваться для решения различных задач, включая генерацию и подтверждение CRC, в качестве шины SMBus (System Management Bus) и шины PMBus (Power Management Bus).

Основные характеристика контроллера I2C:

- модуль может использоваться как в качестве ведущего, так и в качестве ведомого устройства;
- функции ведущего устройства I2C:
  - генерация тактовых сигналов;
  - генерация состояния старт и стоп.
- функции ведомого устройства I2C:
  - обнаружение программируемого адреса;
  - поддерживает 7-разрядную или 10-разрядную адресацию, а также поддерживает возможность заданиях двух адресов для одного ведомого устройства в 7-

разрядном режиме
    - определение стопового бита;
    - генерация и определение 7-разрядного/10-разрядного адреса и общего вызова.
- поддержка различных скоростей передачи данных:
    - стандартная скорость (до 100 кГц);
    - быстрая (до 400 кГц);
    - сверхбыстрая (до 1МГц).
- флаги состояния:
    - флаг режима передачи/получения;
    - флаг окончания передачи байта;
    - флаг занятости шины I2C.
- флаги ошибок:
    - потеря арбитража в режиме «ведущий»;
    - флаг ошибки ACK (Acknowledge)после передачи адреса/данных;
    - обнаружение неожидаемого в данный момент состояния старт или стоп;
    - событие переполнения (overrun) и недозагрузки (underrun) при запрещенном растягивании тактов.
- 2 вектора прерывания:
    - 1 прерывание в случае успешной передачи адреса/данных;
    - 1 прерывание в случае ошибки.
- функция растягивания тактовых импульсов clock stretching);
- однобайтовый буфер с поддержкой DMA;
- конфигурируемая функция PEC (packet error checking) для генерации или проверки;
- значение PEC в режиме передачи может быть передано в последнем байте;
- проверка ошибок PEC в последнем принятом байте;
- совместимость с SMBus 2.0:
    - таймаута низкого уровня тактового сигнала - 25 мс;
    - совокупное время растягивания низкого уровня тактового сигнала для ведущего устройства – 10 мс;
    - совокупное время растягивания низкого уровня тактового сигнала для ведомого устройства - 25 мс;
    - аппаратная генерация/проверка PEC с контролем флага ACK;
    - поддержка протокола ARP (Address Resolution Protocol);
- совместимость с PMBus.

2.14 Контроллер USART

В микроконтроллере К1986ВУ024 реализовано 7 последовательных приемопередающих интерфейсов, включая 3 универсальных синхронно-асинхронных приемопередатчика (USART1, USART2 и USART3) и 4 универсальных асинхронных приемопередатчика (UART4, UART5, UART6, UART7). Данные интерфейсы обеспечивают синхронный/асинхронный обмен данными, поддерживают кодек передачи IrDA SIR ENDEC, многопроцессорный режим обмена данными, однопроводной полудуплексный режим обмена данными и работу протокола LIN со

схемой «ведущий-ведомый».

Скорость обмена данными интерфейса USART1/UART6/UART7 может достигать 4,5 Мбит/с, в то время как скорость обмена данными по другим интерфейсам может составлять до 2,25 Мбит/с.

Интерфейсы USART1/USART2/USART3 обеспечивают аппаратное управление сигналами CTS (Clear To Send) и RTS (Request To Send), функционирование режима смарт-карты, совместимого со стандартом ISO7816-3, и SPI-подобного режима обмена данными. Все интерфейсы могут использоваться для операций DMA.

Основные характеристики контроллера USART:

- полнодуплексный асинхронный обмен данными;
- кодирование без возврата в ноль (NRZ-кодирование);
- дробный генератор скорости передачи данных с программно настраиваемой скоростью передачи и приема до 4,5 Мбит/с;
- программируемая длина слова данных (8 или 9 бит);
- настройка количества стоповых битов, поддержка 1 или 2 стоповых битов;
- способность ведущего устройства протокола LIN передавать синхронную break-посылку и способность ведомого устройства протокола LIN обнаруживать break-посылку. Когда контроллер USART настроен для работы по протоколу LIN, 13-битную break-посылку и обнаруживает 10/11-битную break-посылку;
- тактовый выход передатчика для синхронной передачи;
- кодер-декодер IRDA SIR с поддержкой длительности 3/16 бит в нормальном режиме;
- функция эмуляции смарт-карты:
  - интерфейс смарт-карты поддерживает асинхронный протокол смарт-карты, установленный в стандарте ISO7816-3;
  - задаваемое количество стоп битов: 0,5 или 1,5.
- однопроводной полудуплексный обмен данными;
- настраиваемый обмен данными с несколькими буферами с использованием DMA, буферизация полученных/отправленных байтов в зарезервированной области SRAM;
- отдельные биты включения передатчика и приемника;
- флаги обмена:
  - буфер приема заполнен;
  - буфер передачи пуст;
  - флаг окончания передачи.
- управление контролем чётности:
  - передача бита чётности;
  - проверка чётности в принятом байте.
- четыре флага обнаружения ошибок:
  - ошибка переполнения;

- обнаружение шума;
- ошибка кадра;
- ошибка чётности.

– 10 источников прерываний USART с флагами:
  - изменения сигнала CTS;
  - обнаружение break-посылки LIN;
  - пустой регистр передаваемых данных;
  - завершение передачи;
  - заполнение регистра принимаемых данных;
  - обнаружение сигнала свободной линии (idle line);
  - ошибка переполнения;
  - ошибка кадра;
  - ошибка вследствие обнаружения шумов;
  - ошибка чётности.

– многопроцессорный обмен данными, переход в режим молчания (mute) при несовпадении адреса;

– выход из режима молчания (путем обнаружения сигнала свободной линии или метки адреса);

– два способа пробуждения и перевода приемника в режим работы: бит адреса (MSB, 9-й бит), сигнал свободная линия.

Конфигурация режимов представлена в Табл. 2-2.

Табл. 2-2 – Конфигурация режимов контроллера USART

Режимы контроллера USART	USART1	USART2	USART3	UART4	UART5	UART6	UART7
Асинхронный режим	+	+	+	+	+	+	+
Аппаратное управление потоком	+	+	+	-	-	-	-
Обмен данными с несколькими буферами (DMA)	+	+	+	+	+	+	+
Многопроцессорный обмен данными	+	+	+	+	+	+	+
Синхронизация	+	+	+	-	-	-	-
Смарт-карта	+	+	+	-	-	-	-
Полудуплекс (однопроводной режим)	+	+	+	+	+	+	+
IrDA	+	+	+	+	+	+	+
LIN	+	+	+	+	+	+	+

Примечание:
“+” – поддерживается;
“-” – не поддерживается.

2.15 Контроллер SPI

В К1986ВУ024 доступно три контроллера SPI, которые позволяют ему взаимодействовать с внешними устройствами в полудуплексном/полнодуплексном синхронном последовательном режиме.

Интерфейс сконфигурированный в режиме «ведущий» обеспечивает выдачу тактового сигнала (SCK) для обмена данными с внешними ведомыми устройствами. Интерфейс поддерживает работу с несколькими ведущими устройствами. Он может применяться для различных целей, включая организацию двухпроводной синхронной симплексной передачи с возможностью использования двунаправленной линии данных и надежный обмен данными с выполнением проверки CRC.

Основные функции контроллера SPI:

- полнодуплексная синхронная передача данных с использованием 3-х линий;
- симплексная синхронная передача данных с использованием двух линий, с опциональным использованием третьей двунаправленной линии передачи данных;
- выбор 8-разрядного или 16-разрядного кадра передачи;
- работа в режиме «ведущий» или «ведомый»;
- поддержка режима с несколькими ведущими устройствами;
- 8 коэффициентов делителя частоты скорости передачи данных в режиме «ведущий» (максимум $f_{PCLK}/2$);
- частота в режиме «ведомый» (максимум $f_{PCLK}/2$);
- ускоренный обмен данными как для ведущего, так и ведомого устройства;
- аппаратное или программное управление линией NSS для ведущего и ведомого устройства;
- программно настраиваемые полярность и фаза тактового сигнала;
- программно настраиваемый порядок следования бит: сначала старший значащий бит (MSB) или младший значащий бит (LSB);
- раздельные флаги передачи и приема, способные инициировать прерывания;
- флаг занятости шины SPI;
- аппаратная проверка CRC для обеспечения надежного обмена данными:
  - значение кода CRC может передаваться последним байтом при передаче данных;
  - автоматическая проверка кода CRC для последнего принятого байта.
- возможность запуска прерываний по флагам ошибки в коде CRC, переполнения буфера и отказа в режиме «ведущий»;
- однобайтовый буфер DMA для передачи и приема данных: генерация запросов на передачу и прием;

– скорость обмена данными интерфейса SPI1 - 36 Мбит/с, интерфейсов SPI2/SPI3 - 18 Мбит/с.

2.16 Контроллер I2S

Как и SPI I2S также является протоколом обмена данными по синхронному последовательному интерфейсу с использованием 3-х линий. В микроконтроллере имеется два стандартных контроллера I2S (программный выбор между SPI2/I2S2 и SPI3/I2S3), которые могут работать в режиме ведущего или ведомого устройства.

Данные интерфейсы могут быть настроены для передачи данных в 16-, 24- или 32-разрядном формате, а также могут быть настроены как входной или выходной канал с поддержкой частоты дискретизации аудиосигнала от 8 кГц до 96 кГц. Интерфейсы поддерживают четыре стандарта аудиосигналов, включая стандарт Philips I2S, стандарты MSB-justified и LSB-justified и стандарт импульсно-кодовой модуляции (PCM).

Реализована поддержка полудуплексного обмена данными и возможность работы в режимах «ведущий» и «ведомый». При работе в роли ведущего устройства осуществляется выдача тактового сигнала на внешнее ведомое устройство.

Основные функции контроллера I2S:

– полудуплексный обмен данными (только передача или приём);
– работа в режиме «ведущий» или «ведомый»;
– 8-битный программируемый линейный предделитель для задания частоты дискретизации аудиосигнала от 8 кГц до 96 кГц с высокой точностью;
– обмен данными в 16-, 24-, 32-разрядном формате;
– фиксированный размер кадра пакета аудиоканала: либо 16-разрядный кадр (при 16-разрядном информационном кадре), либо 32-разрядный кадр (при 16-, 24- или 32-разрядном информационном кадре);
– программно настраиваемая полярность тактового сигнала (в зависимости от выбранного стандарта);
– бит дозагрузки при передаче в ведомом режиме и флаг переполнения при приёме в ведущем/ведомом;
– 16-разрядный регистр для приема и передачи данных
– поддержка аудио протоколов:
    - стандарт I2S Philips;
    - MSB-justified;
    - LSB-justified;
    - стандарт PCM (16-разрядный кадр канала с длинной или короткой кадровой синхронизацией или 16-разрядный информационный кадр, расширенный до 32-разрядного кадра канала).

– направление передачи данный: сначала MSB;
– возможность использования DMA при передаче и приеме;
– тактовый сигнал может быть выведенна внешнее аудио устройство с фиксированным соотношением 256*Fs, где Fs — это частота дискретизации аудиосигнала.

2.17 Контроллер QSPI

Микроконтроллер поддерживает одноканальный интерфейс QSPI для одного клиента и может работать в двух режимах: Indirect (обмен посредством регистров QSPI) и Memory-mapped (внешняя память воспринимается как внутренняя).

Основные характеристики контроллера QSPI:

– возможность настройки режимов Single SPI/Dual SPI/Quard SPI. В режиме Single SPI контроллер поддерживает стандартную работу SPI и может осуществлять обмен данными в полудуплексном и полнодуплексном режимах;
– интерфейс SPI может быть настроен для работы в режиме Indirect или режиме Memory-mapped. Имеется возможность настройки байта, отправляемого на этапах Instruction, Alternate-byte;
– поддержка режима доступа к 8-разрядным, 16-разрядным, 32-разрядным данным;
– приёмный и передающий FIFO;
– поддержка операций DMA;
– поддержка прерывания FIFO, прерывания при завершении операции, прерывания по истечению времени ожидания, прерывания при возникновении ошибки доступа к данным;
– максимальная поддерживаемая скорость обмена данными - 4×36 Мбит/с;
– операции QSPI делятся на несколько этапов: Instruction, Address, Alternate-byte, Dummy-cycle и Data. Допускается пропуск большинства этапов, что осуществляется конфигурацией соответствующих регистров.

2.18 Контроллер управления внешней памятью (XUMC)

В состав К1986ВУ024 включен контроллер управления внешней памяти, который поддерживает работу с SRAM, PSRAM, NOR и NAND Flash. Также XUMC можно настроить для работы с ЖК-дисплеем с использованием интерфейсов Intel 8080 и Motorola 6800.

Основные характеристики XUMC:

– Контроллер способен управлять следующими типами памяти:
  - Статическая память с произвольным доступом (SRAM);
  - NOR Flash;
  - PSRAM (4 банка памяти);

    - NAND Flash с аппаратной поддержкой ECC для проверки до 8 Кбайт данных.
  - Поддержка режима burst для доступа к NOR Flash и PSRAM;
  - Настраиваемый размер шины данных, 8 или 16 бит;
  - Каждый банк памяти управляется отдельной линией (chip select);
  - Каждый банк может быть настроен независимо;
  - Настройка временных параметров доступа к памяти:
    - Количество тактов ожидания (до 17 тактов);
    - Время переключения (turnaround) (до 16 тактов);
    - Время задержки сигналов разрешения записи и чтения (до 255 тактов);
  - Поддержка управляющего сигнала выбора байта при работе с PSRAM и SRAM;
  - Автоматическое преобразование запроса доступа к 32-битным данным в несколько запросов на 16- или 8-;
  - Записывающий FIFO, вмещающий 16 32-битных слов. Позволяет освободить шину AHB для других операций во время записи в медленную память.

2.19 Контроллер CAN

Два контроллера CAN (CAN1, CAN2) совместимы со стандартами 2.0A и 2.0B (активный). Скорость передачи данных - до 1 Мбит/с. Контроллер поддерживает передачу и приём стандартных кадров с 11-разрядными идентификаторами и расширенных кадров с 29-разрядными идентификаторами.

Основные характеристики:

  - поддержка протокола CAN 2.0A и 2.0B (активный);
  - скорость передачи данных - до 1 Мбит/с;
  - поддержка функции Time Triggered Communication;
  - Передача:
    - 3 mailbox для передачи;
    - настраиваемый приоритет передачи;
    - метка времени передачи SOF (Start Of Frame).
  - Приём:
    - 2 приёмных буфера FIFO, каждый вмещающий до трёх сообщений;
    - 14 масштабируемых банков фильтров;
    - поддержка идентификатора списка;
    - конфигурируемый порог переполнения FIFO;
    - метка времени приёма SOF.
  - Функция коммуникации Time Triggered:
    - отключение режима автоматической повторной передачи;
    - 16-разрядный свободно считающий таймер;
    - метка времени в двух последних отправляемых байтах.
  - Управление:
    - маскируемые прерывания;

- mailbox занимает отдельное адресное пространство, что удобно для повышения эффективности работы программного обеспечения.

2.20 Порты ввода/вывода общего назначения (GPIO)

Микроконтроллер поддерживает до 97 линий ввода/вывода общего назначения, которые разделены на 7 портов (GPIOA/GPIOB/GPIOC/GPIOD/GPIOE/GPIOF/GPIOG), по 16 линий у A, B, C, D, E, 10 линий у порта F, 7 - у G. Каждый вывод GPIO может быть настроен программно как выход (двухтактный каскад (push-pull) или с открытый сток (open-drain)), вход (с подтягивающим к питанию резистором или стягивающим резистором) или как мультиплексированный вывод различных периферийных устройств. Большинство выводов GPIO подключены к цифровым или аналоговым периферийным устройствам, а некоторые вводы/выводы также мультиплексированы с выводами тактовых сигналов. Все выводы GPIO, за исключением аналоговых входов, способны пропускать большой ток.

Основные характеристики GPIO:

– каждый вывод GPIO может быть программно настроен:
  - плавающий вход;
  - вход с подтягивающим к питанию резистором;
  - вход со стягивающим резистором;
  - аналоговый вход;
  - выход с открытым стоком;
  - двухтактный выход;
  - двухтактный выход с функцией мультиплексирования;
  - выход с открытым стоком и функцией мультиплексирования.

– ввод/вывод общего назначения (GPIO):
  во время сброса и сразу после сброса функция мультиплексирования не включена, за исключением BOOT0 и BOOT1 (BOOT0 и BOOT1- входы со стягивающим резистором), линии ввода/вывода настроены как аналоговые входы. Выводы JTAG устанавливаются в следующие состояния:
    JTDI – подтяжка к логической единице;
    JTCK – подтяжка к логическому нулю;
    JTMS – подтяжка к логической единице;
    JNTRST – подтяжка к логическому нулю;

– возможность установки и сброса выходного значения для каждой линии в отдельности;

– прерывание/выход их режима пониженного электропотребления по внешнему сигналу: все порты поддерживают функцию прерывания по внешнему сигналу. Для использования внешнего прерывания линия должна быть настроена как вход;

– функция мультиплексирования с программным переназначением выходов;

– механизм блокировки, позволяющий зафиксировать конфигурацию выхода. Конфигурация не может быть изменена до следующего сброса.

2.21 Аналого-цифровой преобразователь (АЦП)

Микроконтроллер содержит четыре 12-разрядных АЦП, работающих по принципу последовательного приближения, с частотой дискретизации 5 Мвыб/с, с поддержкой несимметричного входа и дифференциального входа, с возможностью измерения 40 внешних и 7 внутренних источников сигнала (при этом ADC1 поддерживает 11 внешних каналов, ADC2 поддерживает 13 внешних каналов, ADC3 поддерживает 15 внешних каналов, ADC4 поддерживает 13 внешних каналов).

Основные характеристики АЦП:

- настраиваемая разрядность: 12 бит, 10 бит, 8 бит, 6 бит:
  - максимальная частота дискретизации 5,14 Мвыб/с при разрядности 12 бит;
  - максимальная частота дискретизации 6 Мвыб/с при разрядности 10 бит;
  - максимальная частота дискретизации 7,2 Мвыб/с при разрядности 8 бит;
  - максимальная частота дискретизации 9 Мвыб/с при разрядности 6 бит.
- три источника тактового сигнала АЦП:
  - в качестве источника рабочего тактового сигнала с частотой до 144 МГц может быть выбран только AHB_CLK;
  - в качестве источника тактового сигнала дискретизации с частотой до 72 МГц может использоваться блок PLL (поддерживаются коэффициенты деления частоты 1, 2, 4, 6, 8, 10, 12, 16, 32, 32, 64, 128, 256) или AHB_CLK (поддерживаются коэффициенты деления частоты 1, 2, 4, 6, 8, 10, 12, 16, 32);
  - в качестве источника тактового сигнала для внутренней синхронизации может использоваться либо HSE, либо HSI, и значение частоты этого сигнала должно быть установлено равным 1 МГц.
- запуск преобразования по сигналу от таймера;
- прерывание по окончанию преобразования, окончанию инжектированного преобразования и событию, полученному от аналогового сторожевого таймера;
- режимы одиночного и непрерывного преобразования;
- режим сканирования для автоматического преобразования от канала 0 до канала N;
- поддержка самокалибровки;
- выравнивание данных со встроенной когерентностью;
- интервал выборки может быть запрограммирован отдельно для каждого канала;
- обычное преобразование и инжектированное преобразование с возможностью запуска от внешнего сигнала;
- прерывистый режим (discontinuous mode);
- совместная работа (dual mode) ADC1 и ADC2, ADC3 и ADC4;
- требования к напряжению питания АЦП: от 1,8 до 3,6 В;
- диапазон входных уровней АЦП V_{IN}: $V_{REF-} \leq V_{IN} \leq V_{REF+}$;
- генерация запроса DMA во время обычного преобразования;
- аналоговый сторожевой таймер позволяет контролировать один, несколько или все

выбранные каналы с высокой точностью. Когда значение контролируемого сигнала превышает заданный порог, генерируется прерывание.

2.22 Цифро-аналоговый преобразователь (ЦАП)

В микроконтроллере имеется два 12-разрядных одноканальных ЦАП. Два ЦАП могут использоваться независимо друг от друга. Для получения более точных результатов преобразования в ЦАП через вход V_{REF+} может быть подано опорное напряжение.

Основные характеристики ЦАП:

- два преобразователя ЦАП: по одному выходному каналу на каждый преобразователь;
- 8-битный или 12-битный режим;
- настраиваемое выравнивание данных по левому или правому краю в 12-разрядном режиме;
- функция синхронного обновления данных;
- генерация шумового сигнала;
- генерация треугольного сигнала;
- независимое или одновременное преобразование по двум каналам ЦАП;
- каждый канал может использовать DMA;
- внешний сигнал может использоваться в качестве триггера запуска преобразования;
- вход опорного напряжения V_{REF+}.

2.23 Операционный усилитель (OPAMP)

В составе микроконтроллера предусмотрено 4 встроенных независимых операционных усилителя, которые могут работать в различных режимах: внешний усилитель, внутренний повторитель напряжения и операционный усилитель с программируемым коэффициентом усиления (PGA) без внешней фильтрацией или с ней.

Основные характеристики операционного усилителя:

- поддержка входа/выхода с полным размахом напряжения (rail-to-rail);
- неинвертирующий и инвертирующий режим;
- настраиваемые режимы работы операционного усилителя:
  - независимый режим (все порты выведены наружу, а усиление может быть задано внешними резисторами);
  - режим PGA с программируемым коэффициентом усиления 2X, 4X, 8X, 16X, 32X;
  - режим повторителя напряжения.
- для измерения выходного сигнала операционного усилителя используется внутренне соединённый с выходом канал АЦП.

2.24 Аналоговый компаратор (COMP)

В микроконтроллер К1986ВУ024 встроено 7 компараторов, которые могут использоваться как отдельные устройства (все порты компаратора соединены со входами/выходами микроконтроллера) или совместно с таймером. В приложениях, предназначенных для управления двигателями, компаратор может быть объединен с выходом ШИМ таймера для организации управления током cycle-by-cycle.

Основные характеристики компаратора:

- поддержка полного размаха напряжения;
- неинвертирующий и инвертирующий вход может быть соединён с:
  - вводом/выводом общего назначения;
  - выходом канала ЦАП;
  - внутренний вход регулируемого напряжения (доступно два внутренних регулируемых напряжения V_{REF1}, V_{REF2}, которые используются всеми семью компараторами) с возможностью выполнения 64-уровневой равномерной регулировки основанной на V_{DDA}.
- программируемый гистерезис, который может быть сконфигурирован как полностью отсутствующий, низкий гистерезис, средний гистерезис, высокий гистерезис;
- возможность подключения выхода компаратора ко вводам/выводам или ко входу таймера для запуска:
  - событий захвата;
  - события OCREF_CLR (управление током cycle-by-cycle);
  - событий break.
- компаратор поддерживает фильтрацию выходного сигнала, включая аналоговую фильтрацию и цифровую фильтрацию. Частота фильтрации составляет от 50 кГц до 144 МГц по выбору;
- возможность формирования оконного компаратора с помощью COMP1/COMP2, COMP3/COMP4 и COMP5/COMP6;
- поддержка выхода компаратора с бланкированием; возможность отключить бланкирование или выбрать Timer1_OC5, Timer8_OC5 в качестве входа бланкирования;
- позволяют выводить микроконтроллер из режима пониженного энергопотребления Sleep, генерируя прерывания.

2.25 Датчик температуры

Датчик температуры выдает напряжение, линейно изменяющееся в зависимости от температуры, с диапазоном преобразования 1,8 В < V_{DDA} < 3,6 В. Датчик температуры внутренне подключен к входному каналу ADC1_IN16 для преобразования выходного сигнала датчика в цифровое значение.

2.26 Контроллер TSC

Контроллер TSC в основном используется в сценариях с применением емкостных сенсорных кнопок. Например, после регистрации касания микроконтроллер может быть выведен из режима пониженного энергопотребления, чтобы, начать выполнение требуемого алгоритма, перед этим более точно определив параметры касания.

Основные характеристики контроллера TSC:

- поддержка функции емкостного сенсорного управления (до 24 каналов, каждый из которых может быть включен отдельно);
- генерация прерывания при регистрации касания в рабочем режиме;
- генерация прерывания и перевод процессора в рабочий режим при регистрации касания в режиме пониженного энергопотребления (SLEEP, STOP0, STOP2);
- конфигурация периодичности и длительности обнаружения касания;
- возможность настройки пользователем чувствительности обнаружения для каждого канала (каждый канал может иметь собственный порог чувствительности);
- поддержка функции калибровки;
- выход TSC соединён со входом таймера.

2.27 Блок вычисления контрольной суммы CRC

Блок объединяет функции вычисления CRC32 и CRC16. Во многих приложениях для контроля целостности передаваемых или хранящихся данных используется проверка циклическим избыточным кодом. В соответствии с положениями стандарта EN/IEC 60335-1, который определяет средства обнаружения ошибок Flash-памяти, блок вычисления CRC может использоваться для вычисления контрольной суммы данных в режиме реального времени и ее сравнения с контрольной суммой, генерируемой при создании данных и приписываемой к ним.

Основные характеристики CRC:

- поддержка полинома CRC-16-IBM ($X^{16}+X^{15}+X^{2}+1$);
- поддержка полинома CRC-32-IEEE 802.3
  ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^{8} + X^{7} + X^{5} + X^{4} + X^{2} + X + 1$);
  время вычисления CRC16: 1 такт AHB шины (HCLK);
- время вычисления CRC32: 4 такта AHB шины (HCLK);
- возможность настройки начального значения при вычислении CRC;
- поддержка DMA.

2.28 Механизм аппаратного ускорения алгоритмов шифрования (SAC)

Встроенный механизм аппаратного ускорения алгоритмов поддерживает выполнение раз-

личных алгоритмов симметричного шифрования и алгоритмов криптографического хеширования, что может значительно повысить скорость шифрования и дешифрования в сравнении с исключительно программными алгоритмами.

Алгоритмы, поддерживаемые аппаратными средствами:

- поддержка алгоритма симметричного шифрования DES:
  - поддержка операций шифрования и дешифрования DES и Triple DES (3DES);
  - Triple DES поддерживает режимы 2-key и 3-key;
  - поддержка режима сцепления блоков шифротекста (режим CBC) и режима электронной кодовой книги (режим ECB).
- поддержка симметричного алгоритма блочного шифрования AES (стандарт шифрования AES);
  - поддержка длины ключа 128 бит/192 бита/256 бит;
  - поддержка режима CBC, режима ECB и режима счетчика (режим CTR);
- поддержка алгоритма криптографического хеширования SHA (алгоритм SHA);
  - поддержка SHA-1/SHA-224/SHA-256;
- поддержка алгоритма хеширования MD5.

2.29 Уникальный идентификатор устройства (UID/UCID)

Микроконтроллеры К1986ВУ024 имеют два встроенных уникальных идентификатора устройств разной длины: 96-разрядный уникальный идентификатор устройства (UID) и 128-разрядный уникальный идентификатор клиента (UCID). Эти два идентификационных номера устройства хранятся в области системной конфигурации Flash-памяти. Информация, которую они содержат, записана на заводе и гарантированно уникальна для каждого микроконтроллера К1986ВУ024. Данные идентификаторы могут быть прочитаны пользовательским приложением или внешним устройством через встроенный загрузчик или JTAG и не могут быть изменены.

UID состоит из 96 бит и обычно используется в качестве серийного номера или пароля. При записи данных на Flash-память этот уникальный идентификатор комбинируется с программным алгоритмом шифрования и дешифрования для еще большего повышения безопасности кода во Flash-памяти, а также может использоваться для активации загрузчика, обеспечивающего функции безопасности.

UCID состоит из 128 бит и соответствует установленному формату серийного номера микроконтроллера «интернета вещей» (IoT). Он содержит информацию о производстве и версии микроконтроллера.

2.30 Последовательный отладочный интерфейс JTAG

Встроенный интерфейс JTAG поддерживает отладку с использованием 2-х и 4-х линий.

3 ОБОЗНАЧЕНИЕ И ОПИСАНИЕ ВЫВОДОВ

3.1 Схема расположения выводов в корпусе

Микросхема выполнена в корпусе LQFP128. Расположение выводов представлено на Рис. 3.1.

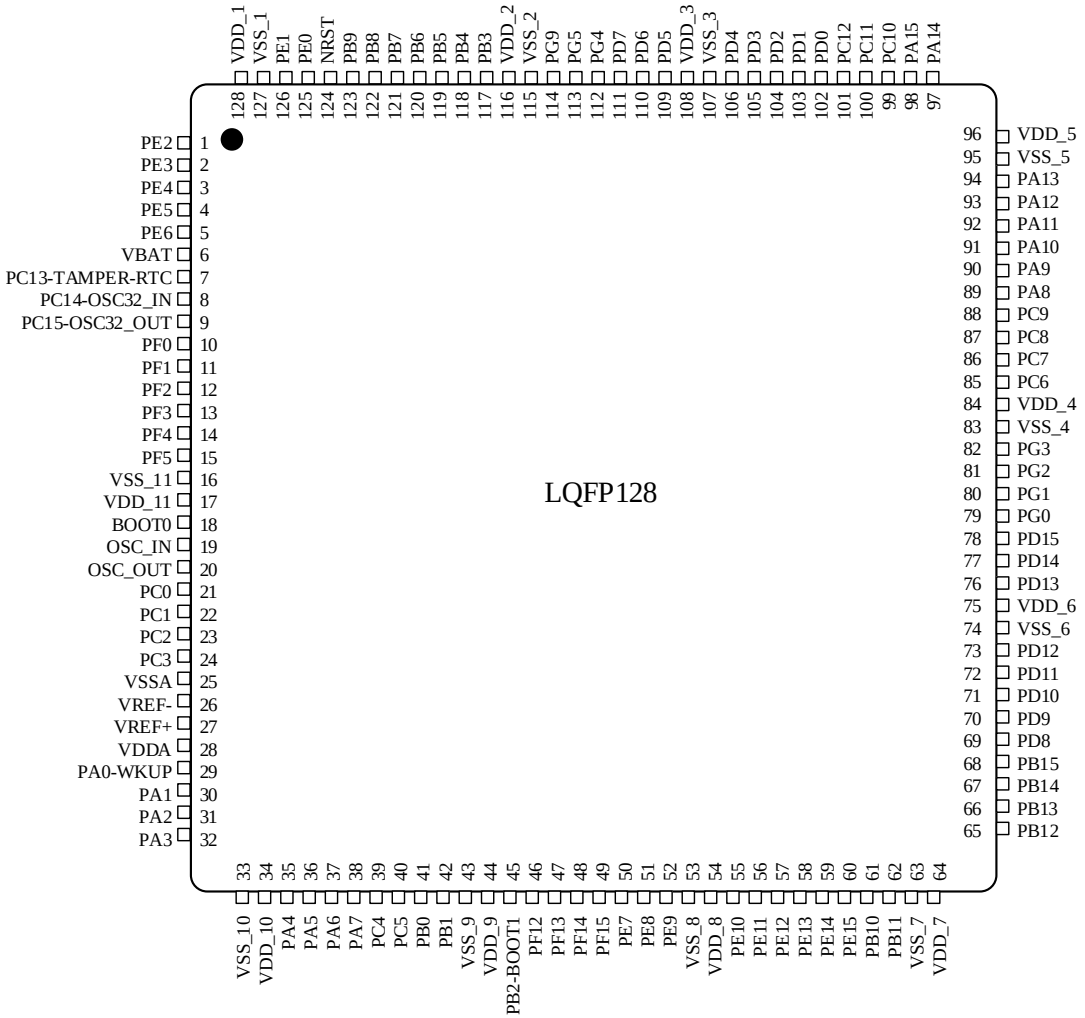


Рис. 3.1 – Описание выводов корпуса LQFP128 микроконтроллера К1986ВУ024

3.2 Описание выводов

Описание функций выводов микросхемы представлено в Табл. 3-1.

Табл. 3-1 – Описание выводов

Номер вывода	Обозначение вывода	Тип (1)	Уровень ввода/вывода (2) (5)	Отказоустойчивость (6)	Основная функция (после сброса)	Альтернативная функция	
						по умолчанию	требуется перенастройка
1	PE2	I/O	FT	Да	PE2	TRACE_HCLK XUMC_A23 UART6_TX	-
2	PE3	I/O	FT	Да	PE3	TRACE_IEXCEPTION XUMC_A19 UART6_RX	-
3	PE4	I/O	FT	Да	PE4	TRACE_INTERRUPT XUMC_A20	-
4	PE5	I/O	FT	Да	PE5	TRACE_PRIV[0] XUMC_A21	-
5	PE6	I/O	FT	Да	PE6	TRACE_PRIV[1] XUMC_A22	-
6	V_{BAT}	S	-	Да	V_{BAT}	-	-
7	PC13-TAMPER-RTC(4)	I/O	TC	Да	PC13(3)	TAMPER-RTC	-
8	PC14-OSC32_IN(4)	I/O	TC	Да	PC14(3)	OSC32_IN	-
9	PC15-OSC32_OUT(4)	I/O	TC	Да	PC15(3)	OSC32_OUT	-
10	PF0	I/O	FT	Да	PF0	XUMC_A0	QSPI_NSS
11	PF1	I/O	FT	Да	PF1	XUMC_A1	QSPI_CLK
12	PF2	I/O	TTa	Нет	PF2	XUMC_A2 ADC12_IN10	QSPI_IO0
13	PF3	I/O	FT	Да	PF3	XUMC_A3	QSPI_IO1
14	PF4	I/O	TTa	Нет	PF4	XUMC_A4 ADC1_IN5	QSPI_IO2 I2C3_SCL
15	PF5	I/O	FT	Да	PF5	XUMC_A5	QSPI_IO3 I2C3_SDA
16	VSS_11	S	-	-	VSS_11	-	-
17	VDD_11	S	-	-	VDD_11	-	-
18	BOOT0	I	-	-	BOOT0	-	-
19	OSC_IN	I	TC	Да	OSC_IN	-	-
20	OSC_OUT	O	TC	Нет	OSC_OUT	-	-
21	PC0	I/O	TTa	Нет	PC0	ADC12_IN6 I2C3_SCL	COMP7_INM UART6_TX
22	PC1	I/O	TTa	Нет	PC1	ADC12_IN7 I2C3_SDA	COMP7_INP UART6_RX
23	PC2	I/O	TTa	Нет	PC2	ADC12_IN8 COMP7_OUT	UART7_TX SPI3_NSS I2S3_WS
24	PC3	I/O	TTa	Нет	PC3	ADC12_IN9	UART7_RX SPI3_SCK I2S3_CK OPAMP3_VINP OPAMP4_VINP COMP5_INP
25	VSSA	S	-	-	VSSA	-	-
26	VREF-	S	-	-	VREF-	-	-
27	VREF+	S	-	-	VREF+	-	-
28	VDDA	S	-	-	VDDA	-	-
29	PA0-WKUP	I/O	TTa	Нет	PA0	WKUP USART2_CTS ADC1_IN1 TIM2_CH1_ETR	COMP1_INM SPI3_MISO

Номер вывода	Обозначение вывода	Тип (1)	Уровень ввода/вывода (2) (5)	Отказоустойчивость (6)	Основная функция (после сброса)	Альтернативная функция	
						по умолчанию	требуется перенастройка
						TIM5_CH1 TIM8_ETR COMP1_OUT	
30	PA1	I/O	TTa	Нет	PA1	USART2_RTS ADC1_IN2 TIM5_CH2 TIM2_CH2	COMP1_INP OPAMP1_VINP OPAMP3_VINP SPI3_MOSI I2S3_SD
31	PA2	I/O	TTa	Нет	PA2	USART2_TX TIM5_CH3 ADC12_IN11 TIM2_CH3	OPAMP1_VINM OPAMP2_VINM COMP3_OUT
32	PA3	I/O	TTa	Нет	PA3	USART2_RX TIM5_CH4 ADC1_IN4 TIM2_CH4	OPAMP1_VINM OPAMP1_VINP COMP5_INP
33	VSS_10	S	-	-	VSS_10	-	-
34	VDD_10	S	-	-	VDD_10	-	-
35	PA4	I/O	TTa	Нет	PA4	SPI1_NSS USART2_CK DAC_OUT1 ADC2_IN1 QSPI_NSS TSC_CHN0	COMP1_INM COMP2_INM COMP3_INM COMP4_INM COMP5_INM COMP6_INM COMP7_INM OPAMP4_VINP I2C2_SCL
36	PA5	I/O	TTa	Нет	PA5	SPI1_SCK DAC_OUT2 ADC2_IN2 QSPI_SCK TSC_CHN1	COMP1_INM COMP2_INM COMP3_INM COMP4_INM COMP5_INM COMP6_INM COMP7_INM OPAMP1_VINP OPAMP2_VINM OPAMP3_VINP I2C2_SDA
37	PA6	I/O	TTa	Нет	PA6	SPI1_MISO TIM8_BKIN ADC1_IN3 TIM3_CH1 QSPI_IO0 COMP2_OUT	TIM1_BKIN OPAMP1_VOUT
38	PA7	I/O	TTa	Нет	PA7	SPI1_MOSI TIM8_CH1N ADC2_IN4 TIM3_CH2 QSPI_IO1	TIM1_CH1N COMP2_INP OPAMP1_VINP OPAMP2_VINP COMP6_INM COMP2_OUT
39	PC4	I/O	TTa	Нет	PC4	ADC2_IN5 QSPI_IO2 UART7_TX	I2C3_SCL OPAMP3_VINM COMP4_INM COMP5_INP
40	PC5	I/O	TTa	Нет	PC5	ADC2_IN12 QSPI_IO3 UART7_RX COMP4_OUT	I2C3_SDA OPAMP4_VINP COMP6_INP
41	PB0	I/O	TTa	Нет	PB0	ADC3_IN12 TIM3_CH3 TIM8_CH2N COMP5_OUT	TIM1_CH2N UART6_TX OPAMP2_VINP COMP3_INP

Номер вывода	Обозначение вывода	Тип (1)	Уровень ввода/вывода (2) (5)	Отказоустойчивость (6)	Основная функция (после сброса)	Альтернативная функция	
						по умолчанию	требуется перенастройка
42	PB1	I/O	TTa	Нет	PB1	ADC2_IN3 TIM3_CH4 TIM8_CH3N	TIM1_CH3N OPAMP2_VOUT UART6_RX COMP2_INM COMP1_OUT
43	VSS_9	S	-	-	VSS_9	-	-
44	VDD_9	S	-	-	VDD_9	-	-
45	PB2	I/O	TTa	Нет	PB2/BOOT1	ADC2_IN13	UART4_TX SPI1_NSS
46	PF12	I/O	FT	Да	PF12	XUMC_A6	-
47	PF13	I/O	FT	Да	PF13	XUMC_A7	-
48	PF14	I/O	FT	Да	PF14	XUMC_A8	-
49	PF15	I/O	FT	Да	PF15	XUMC_A9	-
50	PE7	I/O	TTa	Нет	PE7	XUMC_D4 ADC3_IN13	TIM1_ETR UART4_RX SPI1_SCK COMP3_INM
51	PE8	I/O	TTa	Нет	PE8	XUMC_D5 ADC34_IN6	TIM1_CH1N UART5_TX SPI1_MISO OPAMP2_VINP COMP2_INM
52	PE9	I/O	TTa	Нет	PE9	XUMC_D6 ADC3_IN2	TIM1_CH1 UART5_RX SPI1_MOSI
53	VSS_8	S	-	-	VSS_8	-	-
54	VDD_8	S	-	-	VDD_8	-	-
55	PE10	I/O	TTa	Нет	PE10	XUMC_D7 ADC3_IN14	TIM1_CH2N SPI2_NSS I2S2_WS
56	PE11	I/O	TTa	Нет	PE11	XUMC_D8 ADC3_IN15	TIM1_CH2 SPI2_SCK I2S2_CK
57	PE12	I/O	TTa	Нет	PE12	XUMC_D9 ADC3_IN4	TIM1_CH3N SPI2_MISO
58	PE13	I/O	TTa	Нет	PE13	XUMC_D10 ADC3_IN3	TIM1_CH3 SPI2_MOSI I2S2_SD
59	PE14	I/O	TTa	Нет	PE14	XUMC_D11 ADC4_IN1	TIM1_CH4
60	PE15	I/O	TTa	Нет	PE15	XUMC_D12 ADC4_IN2	TIM1_BKIN
61	PB10	I/O	TTa	Да	PB10	I2C2_SCL USART3_TX COMP3_OUT	TIM2_CH3 COMP5_INM OPAMP3_VINM OPAMP4_VINM XUMC_D11 COMP1_INP
62	PB11	I/O	TTa	Нет	PB11	I2C2_SDA USART3_RX ADC3_IN1	TIM2_CH4 XUMC_D12 OPAMP3_VOUT COMP2_INP COMP5_OUT
63	VSS_7	S	-	-	VSS_7	-	-
64	VDD_7	S	-	-	VDD_7	-	-
65	PB12	I/O	TTa	Нет	PB12	SPI2_NSS I2S2_WS I2C2_SMBA USART3_CK TIM1_BKIN CAN2_RX	COMP3_INM OPAMP4_VOUT COMP4_OUT

Номер вывода	Обозначение вывода	Тип (1)	Уровень ввода/вывода (2) (5)	Отказоустойчивость (6)	Основная функция (после сброса)	Альтернативная функция	
						по умолчанию	требуется перенастройка
						ADC4_IN3	
66	PB13	I/O	TTa	Нет	PB13	SPI2_SCK I2S2_CK USART3_CTS TIM1_CH1N CAN2_TX ADC3_IN5	UART5_TX COMP4_INM
67	PB14	I/O	TTa	Нет	PB14	SPI2_MISO TIM1_CH2N USART3_RTS ADC4_IN4 TSC_CHN2	COMP3_INP UART5_RX
68	PB15	I/O	TTa	Нет	PB15	SPI2_MOSI I2S2_SD TIM1_CH3N ADC4_IN5 TSC_CHN3	COMP4_INP
69	PD8	I/O	TTa	Нет	PD8	XUMC_D13 ADC4_IN12 TSC_CHN4	USART3_TX OPAMP4_VINM SPI3_NSS I2S3_WS CAN1_RX COMP6_INM
70	PD9	I/O	TTa	Нет	PD9	XUMC_D14 ADC4_IN13 TSC_CHN5	USART3_RX SPI3_SCK I2S3_CK CAN1_TX COMP6_INP
71	PD10	I/O	TTa	Нет	PD10	XUMC_D15 ADC34_IN7	USART3_CK CAN2_RX COMP5_INM
72	PD11	I/O	TTa	Нет	PD11	XUMC_A16 ADC34_IN8 TSC_CHN6	USART3_CTS CAN2_TX SPI3_MISO
73	PD12	I/O	TTa	Нет	PD12	XUMC_A17 ADC34_IN9 TSC_CHN7	TIM4_CH1 USART3_RTS SPI3_MOSI I2S3_SD COMP7_OUT
74	VSS_6	S	-	-	VSS_6	-	-
75	VDD_6	S	-	-	VDD_6	-	-
76	PD13	I/O	TTa	Нет	PD13	XUMC_A18 ADC34_IN10	TIM4_CH2
77	PD14	I/O	TTa	Нет	PD14	XUMC_D0 ADC34_IN11	TIM4_CH3 I2C4_SCL TIM8_CH1
78	PD15	I/O	FT	Да	PD15	XUMC_D1	TIM4_CH4 I2C4_SDA TIM8_CH2
79	PG0	I/O	FT	Да	PG0	XUMC_A10	UART7_TX
80	PG1	I/O	FT	Да	PG1	XUMC_A11	UART7_RX
81	PG2	I/O	FT	Да	PG2	XUMC_A12	I2C2_SCL
82	PG3	I/O	FT	Да	PG3	XUMC_A13	I2C2_SDA
83	VSS_4	S	-	-	VSS_4	-	-
84	VDD_4	S	-	-	VDD_4	-	-
85	PC6	I/O	TTa	Да	PC6	I2S2_MCK TIM8_CH1 I2C4_SCL TSC_CHN8	TIM3_CH1 SPI2_NSS I2S2_WS USART2_CTS XUMC_A16
86	PC7	I/O	TTa	Да	PC7	I2S3_MCK	TIM3_CH2

Номер вывода	Обозначение вывода	Тип (1)	Уровень ввода/вывода (2) (5)	Отказоустойчивость (6)	Основная функция (после сброса)	Альтернативная функция	
						по умолчанию	требуется перенастройка
						TIM8_CH2 I2C4_SDA TSC_CHN9	SPI2_SCK I2S2_CK USART2_RTS XUMC_A17
87	PC8	I/O	TTa	Да	PC8	TIM8_CH3 TSC_CHN10	TIM3_CH3 SPI2_MISO USART2_TX
88	PC9	I/O	TTa	Да	PC9	TIM8_CH4 TSC_CHN11 COMP6_OUT	TIM3_CH4 SPI2_MOSI I2S2_SD USART2_RX XUMC_NOE OPAMP3_INP OPAMP4_INM COMP3_INP4
89	PA8	I/O	FT	Да	PA8	USART1_CK TIM1_CH1 MCO	-
90	PA9	I/O	FT	Да	PA9	USART1_TX TIM1_CH2 TSC_DOUT	I2C4_SCL
91	PA10	I/O	FT	Да	PA10	USART1_RX TIM1_CH3	I2C4_SDA XUMC_MWE
92	PA11	I/O	FT	Да	PA11	USART1_CTS CAN1_RX TIM1_CH4	COMP5_OUT COMP1_OUT
93	PA12	I/O	FT	Да	PA12	USART1_RTS CAN1_TX TIM1_ETR	COMP6_OUT COMP2_OUT
94	PA13	I/O	FT	Да	JTMS	-	PA13 UART4_TX
95	VSS_5	S	-	-	VSS_5	-	-
96	VDD_5	S	-	-	VDD_5	-	-
97	PA14	I/O	FT	Да	JTCK	-	PA14 UART4_RX
98	PA15	I/O	FT	Да	JTDI	SPI3_NSS I2S3_WS	TIM2_CH1_ETR PA15 SPI1_NSS USART2_CTS TIM8_CH1N
99	PC10	I/O	TTa	Да	PC10	UART4_TX TSC_CHN12	USART3_TX SPI3_SCK I2S3_CK QSPI_NSS COMP3_OUT
100	PC11	I/O	TTa	Да	PC11	UART4_RX TSC_CHN13	USART3_RX SPI3_MISO QSPI_SCK COMP4_OUT
101	PC12	I/O	TTa	Да	PC12	UART5_TX TSC_CHN14	USART3_CK SPI3_MOSI I2S3_SD QSPI_IO0 TIM8_CH2N
102	PD0	I/O	FT	Да	PD0	XUMC_D2	CAN1_RX UART4_TX QSPI_IO1
103	PD1	I/O	FT	Да	PD1	XUMC_D3	CAN1_TX UART4_RX QSPI_IO2
104	PD2	I/O	TTa	Да	PD2	TIM3_ETR UART5_RX TSC_CHN15	SPI3_NSS I2S3_WS QSPI_IO3

Номер вывода	Обозначение вывода	Тип (1)	Уровень ввода/вывода (2) (5)	Отказоустойчивость (6)	Основная функция (после сброса)	Альтернативная функция	
						по умолчанию	требуется перенастройка
							TIM8_CH3N
105	PD3	I/O	FT	Да	PD3	XUMC_CLK	USART2_CTS
106	PD4	I/O	TTa	Да	PD4	XUMC_NOE TSC_CHN16	USART2_RTS
107	VSS_3	S	-	-	VSS_3	-	-
108	VDD_3	S	-	-	VDD_3	-	-
109	PD5	I/O	TTa	Да	PD5	XUMC_NWE TSC_CHN17	USART2_TX
110	PD6	I/O	TTa	Да	PD6	XUMC_NWAIT TSC_CHN18	USART2_RX
111	PD7	I/O	TTa	Да	PD7	XUMC_NE1 XUMC_NCE2 TSC_CHN19	USART2_CK
112	PG4	I/O	FT	Да	PG4	XUMC_A14	-
113	PG5	I/O	FT	Да	PG5	XUMC_A15	-
114	PG9	I/O	FT	Да	PG9	XUMC_NE2 XUMC_NCE3	-
115	VSS_2	S	-	-	VSS_2	-	-
116	VDD_2	S	-	-	VDD_2	-	-
117	PB3	I/O	FT	Да	JTDO	SPI3_SCK I2S3_CK	PB3 TRACE_IVALID TIM2_CH2 SPI1_SCK USART2_RTS TIM8_BKIN
118	PB4	I/O	FT	Да	PB4	SPI3_MISO	TIM3_CH1 SPI1_MISO USART2_TX TIM8_ETR
119	PB5	I/O	FT	Да	PB5	I2C1_SMBA SPI3_MOSI I2S3_SD	TIM3_CH2 SPI1_MOSI CAN2_RX USART2_RX TIM1_BKIN
120	PB6	I/O	TTa	Да	PB6	I2C1_SCL TIM4_CH1 TSC_CHN20	USART1_TX CAN2_TX COMP5_OUT XUMC_NE2 XUMC_NCE3
121	PB7	I/O	TTa	Да	PB7	I2C1_SDA XUMC_NADV TIM4_CH2 TSC_CHN21	USART1_RX COMP6_OUT
122	PB8	I/O	TTa	Да	PB8	TIM4_CH3 TSC_CN22	I2C1_SCL CAN1_RX UART5_TX XUMC_NWAIT COMP1_OUT
123	PB9	I/O	TTa	Да	PB9	TIM4_CH4 TSC_CHN23	I2C1_SDA CAN1_TX UART5_RX XUMC_NE1 XUMC_NCE2 COMP2_OUT
124	NRST	I	-	-	NRST	-	-
125	PE0	I/O	FT	Да	PE0	TIM4_ETR XUMC_NBL0	-
126	PE1	I/O	FT	Да	PE1	XUMC_NBL1	-
127	VSS_3	S	-	-	VSS_3	-	-
128	VDD_3	S	-	-	VDD_3	-	-

Примечания:

1. *I = вход, O = выход, I/O = вход/выход, S = питание*
2. *FT: допустимое напряжение 5 В; TTa, TC: допустимое напряжение ввода/вывода 3,3 В;*
3. *Питание на выводы PC13, PC14 и PC15 подается через выключатель питания, который может потреблять только ток ограниченный 3 мА. Поэтому для этих трех выводов устанавливаются следующие ограничения при их использовании в качестве выходов: в один момент времени только один вывод может использоваться как выход, а при использовании в качестве выхода он может работать только в режиме 2 МГц; максимальная управляющая нагрузка составляет 30 пФ; вывод не может использоваться в качестве источника тока (например, для управления светодиодами).*
4. *Эти выводы находятся в состоянии выполнения основной функции при первом включении области резервного питания, а после выполнения сброса состояние этих выводов контролируется регистрами, находящимися в области резервного питания (эти регистры не будут сброшены после системного сброса). Подробную информацию об управлении этими портами ввода/вывода см. в соответствующих разделах НЛПР.431290.001 РЭ2 Руководство по эксплуатации – часть 2 для микроконтроллера К1986ВУ024, касающихся резервного источника питания и регистров, расположенных в области резервного питания.*
5. *Для портов FT, указанных в таблице, необходимо убедиться, что разница между напряжением ввода/вывода и напряжением питания составляет менее 3,6 В.*
6. *Отказоустойчивость означает, что схема защиты оптимально минимизирует напряжение, подаваемое через интерфейс ввода/вывода при отсутствии питания микроконтроллера.*
7. *Обозначение вывода ADC12_INx (x представляет собой целое число в диапазоне от 4 до 9 или от 14 до 15) в таблице указывает на то, что этот вывод может быть ADC1_INx или ADC2_INx. Например: обозначение вывода ADC12_IN9 подразумевает, что этот вывод может быть настроен как ADC1_IN9 или ADC2_IN9. Таким же образом обозначение вывода ADC123_INx (x представляет собой целое число в диапазоне от 0 до 3 или от 10 до 13) в таблице указывает на то, что этот вывод может быть ADC1_INx или ADC2_INx, или ADC3_INx. Обозначение TIM2_TI1_ETR, указанное для вывода PA0 в таблице, означает, что его функция может быть настроена как TIM2_TI1 или TIM2_ETR. Аналогично, обозначение TIM2_CH1_ETR для вывода PA15 указывает, что вывод может быть настроен как TIM2_CH1 или TIM2_ETR.*

Табл. 3-2 – Описание выводов XUMC

Вывод микроконтроллера	Вывод XUMC		
	NOR/SRAM/PSRAM	NOR/PSRAM, мультиплексирование выводов адреса и данных	NAND
PE2	A23	A23	-
PE3	A19	A19	-
PE4	A20	A20	-
PE5	A21	A21	-
PE6	A22	A22	-
PF0	A0	-	-
PF1	A1	-	-
PF2	A2	-	-
PF3	A3	-	-
PF4	A4	-	-
PF5	A5	-	-
PF12	A6	-	-
PF13	A7	-	-
PF14	A8	-	-
PF15	A9	-	-
PG0	A10	-	-
PG1	A11	-	-
PE7	D4	DA4	D4

Вывод микроконтроллера	Вывод XUMC		
	NOR/SRAM/PSRAM	NOR/PSRAM, мультиплексирование выводов адреса и данных	NAND
PE8	D5	DA5	D5
PE9	D6	DA6	D6
PE10	D7	DA7	D7
PE11	D8	DA8	D8
PE12	D9	DA9	D9
PE13	D10	DA10	D10
PE14/PB10	D11	DA11	D11
PE15/PB11	D12	DA12	D12
PD8	D13	DA13	D13
PD9	D14	DA14	D14
PD10	D15	DA15	D15
PD11/PC6	A16	A16	CLE
PD12/PC7	A17	A17	ALE
PD13	A18	A18	-
PD14	D0	DA0	D0
PD15	D1	DA1	D1
PG2	A12	-	-
PG3	A13	-	-
PG4	A14	-	-
PG5	A15	-	-
PD0	D2	DA2	D2
PD1	D3	DA3	D3
PD3	CLK	CLK	-
PD4/PC9	NOE	NOE	NOE
PD5/PA10	NWE	NWE	NWE
PD6/PB8	NWAIT	NWAIT	NWAIT
PD7/PB9	NE1	NE1	NCE2
PG9/PB6	NE2	NE2	NCE3
PB7	NADV	NADV	-
PE0	NBL0	NBL0	-
PE1	NBL1	NBL1	-

4 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

4.1 Условия проведения испытаний

Если не указано иное, все значения напряжения соответствуют напряжению V_{SS}.

4.1.1 Минимальные и максимальные значения

Если не указано иное, все минимальные и максимальные значения гарантированы при наихудших значениях параметров температуры окружающей среды, напряжения питания и тактовой частоты путём производственных испытания 100% устройств при температуре окружающей среды TA = 25 °C и TA = TAmax (задаётся выбранным температурным диапазоном).

Данные, основанные на результатах характеризации, расчетного моделирования и/или технологических характеристик, указаны в сносках к таблицам и не проверяются на производстве. Основанные на характеризации, минимальное и максимальное значения относятся к выборочным испытаниям и представляют собой среднее значение плюс или минус трехкратное стандартное отклонение (среднее значение ±3σ).

4.1.2 Типовые значения

Если не указано иное, типовые значения получены в условиях T_A = 25 °C и V_{DD} = 3,3 В (диапазон напряжений 2 В ≤ V_{DD} ≤ 3,3 В).

Типовые значения точности АЦП получены путем выборочной проверки стандартной партии, протестированной во всех диапазонах температур, в которой 95% устройств имеют погрешность меньше или равную указанному значению (среднее значение ±2σ).

4.1.3 Стандартная кривая

Если не указано иное, стандартные кривые предназначены для использования лишь в качестве рекомендаций при проектировании и не являются проверенными.

4.1.4 Нагрузочная емкость

Параметры нагрузки при измерении параметров выводов показаны на Рис. 4.1

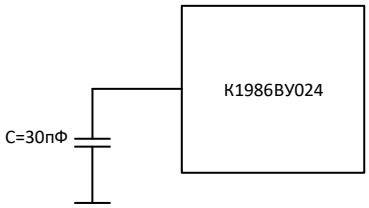


Рис. 4.1 – Параметры нагрузки

4.1.5 Входное напряжение на выводе

Способ измерения входного напряжения на выводе изображен на Рис. 4.12

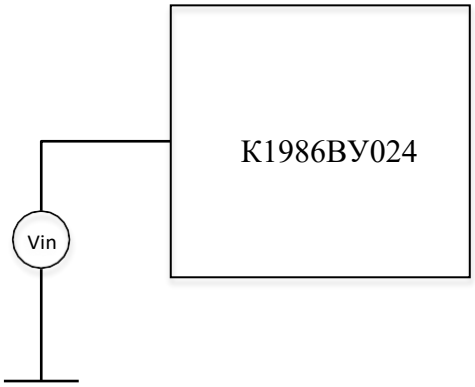


Рис. 4.2 – Входное напряжение

4.1.6 Схема электропитания

Схема подключения электропитания представлена на Рис. 4.2.

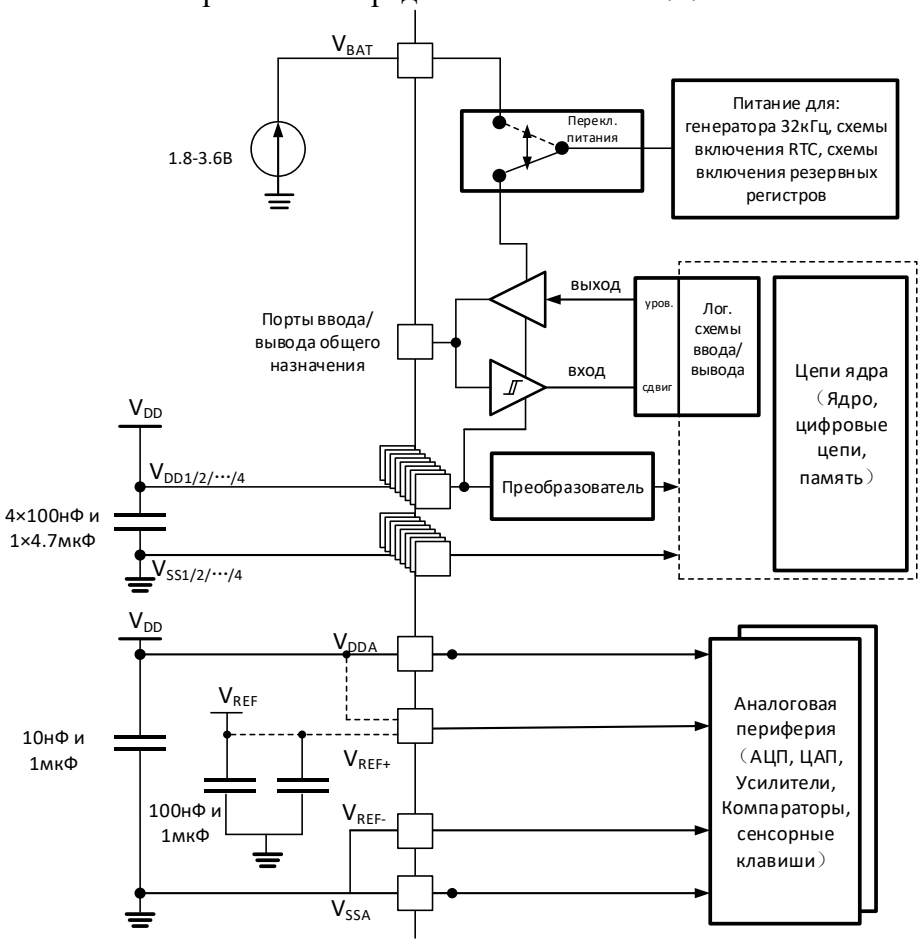


Рис. 4.2 – Схема электропитания

Примечание: Конденсатор 4,7 мкФ на приведенной выше схеме должен быть подключен к V_{DD1}.

4.1.7 Измерение тока потребления

Схема измерения тока потребления представлена на Рис. 4.3

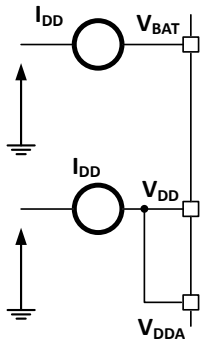


Рис. 4.3 – Схема измерения потребления тока

4.2 Предельно-допустимые характеристики

Значения, превышающие указанные в таблицах предельно-допустимые (Табл. 4-1, Табл. 4-2, Табл. 4-3), могут привести к необратимому повреждению микроконтроллера. Это номинальные значения и функциональная работа в этих условиях не подразумевается. Работа микроконтроллера в предельно-допустимых условиях в течение продолжительного времени может повлиять на его надежность.

Табл. 4-1 – Характеристики напряжения

Условное обозначение	Описание	Мин.	Макс.	Ед. изм.
V_{DD}-V_{SS}	Основной источник питания (включая V_{DDA} и V_{DD}) (1)	-0,3	4,0	В
V_{IN}	Входное напряжение на выводах с допустимым напряжением 5 В (2)	V_{SS} -0,3	5,5	
	Входное напряжение на других выводах (2)	V_{SS} -0,3	V_{DD} +0,3	
$\lvert \Delta V_{DDx} \rvert$	Разность напряжений между различными выводами питания V_{DD} (за исключением V_{DDA})	-	50	мВ
$\lvert V_{SSx} - V_{SS} \rvert$	Разность напряжений между различными выводами земли	-	50	
$V_{ESD(HBM)}$	Напряжение электростатического разряда (модель человеческого тела)	см. раздел **Ошибка! Источник ссылки не найден.**		

Примечания:

1. *Все выводы питания (V_{DD}, V_{DDA}) и земли (V_{SS}, V_{SSA}) всегда должны быть подключены к внешнему источнику питания в пределах допустимого диапазона.*
2. *Значение V_{IN} не должно превышать максимально допустимое (см. Табл. 4-2 для значений максимально допустимого инжектируемого тока).*

Табл. 4-2 – Характеристики тока

Условное обозначение	Описание	Макс. (1)	Ед. изм.
I_{VDD}	Общий ток по линиям питания V_{DD}/V_{DDA} (ток питания) (1)(5)	100	мА
I_{VSS}	Общий ток по проводу земли V_{SS} (исходящий ток) (1)(5)	100	
I_{IO}	Втекающий ток на всех вводах/выводах и управляющих выводах	12	
	Выходной ток на всех вводах/выводах и управляющих выводах	-12	
$I_{INJ(PIN)(2)(3)}$	Ток инжекции на выводе NRST	+5/-0	
	Ток инжекции на других выводах (4)	+/-5	

Условное обозначение	Описание	Макс. (1)	Ед. изм.
$\Sigma I_{INJ(PIN)(2)}$	Общий инжектируемый ток на всех вводах/выводах и управляющих выводах (4)	12	

Примечания:

1. *Все выводы питания (V_{DD}, V_{DDA}) и земли (V_{SS}, V_{SSA}) всегда должны быть подключены к внешнему источнику питания в пределах допустимого диапазона.*
2. *Ток $I_{INJ(PIN)}$ не должен превышать своего предельного значения, т.е. необходимо убедиться в том, что V_{IN} не превышает своего максимального значения. При отсутствии гарантии того, что ток V_{IN} не превысит свое максимальное значение, необходимо также убедиться в том, что внешнее предельное значение $I_{INJ(PIN)}$ также не превысит свое максимальное значение. Если $V_{IN}>V_{DD}$, ток инжекции протекает в прямом направлении; если $V_{IN}<V_{SS}$, ток инжекции протекает в обратном направлении.*
3. *Обратно инжектируемый ток может нарушить аналоговые функции устройства. См. раздел 4.3.20.*
4. *При наличии тока инжекции одновременно на нескольких портах ввода/вывода максимальное значение $\sum I_{INJ(PIN)}$ представляет собой абсолютную сумму значений тока прямой инжекции и тока обратной инжекции (мгновенные значения). Этот результат основан на характеризации максимального значения тока $\Sigma I_{INJ(PIN)}$ на четырех портах ввода/вывода микропроцессора.*
5. *При максимальном значении тока максимально допустимое падение напряжения V_{DD} составляет $0,1V_{DD}$.*

Табл. 4-3 – Температурные характеристики

Условное обозначение	Описание	Значение	Ед. изм.
T_{STG}	Температурный диапазон хранения	от минус 40 до 125	°C
T_J	Максимальная температура перехода	125	°C

4.3 Условия эксплуатации

4.3.1 Общие условия эксплуатации

Табл. 4-4 – Общие условия эксплуатации

Условное обозначение	Параметр	Условие	Мин.	Макс.	Ед. изм.
f_{HCLK}	Внутренняя тактовая частота шины AHB	-	0	144	МГц
f_{PCLK1}	Внутренняя тактовая частота шины APB1	-	0	36	
f_{PCLK2}	Внутренняя тактовая частота шины APB2	-	0	72	
V_{DD}	Стандартное рабочее напряжение	-	1,8	3,6	В
V_{DDA}	Рабочее напряжение аналоговой части	Должно быть таким же, как V_{DD} (1)	1,8	3,6	В
V_{BAT}	Рабочее напряжение области резервирования	-	1,8	3,6	В
T_A	Температура окружающей среды	Максимальная потребляемая мощность	-40	105	°C
T_J	Максимальная температура перехода		-40	125	°C

Примечания:

1. *Рекомендуется использовать один и тот же источник питания для V_{DD} и V_{DDA}. Допустимая разность значений V_{DD} и V_{DDA} при подаче питания и в ходе нормальной работы составляет не более 300 мВ.*

4.3.2 Условия работы при включении и отключении питания

Параметры, приведенные в Табл. 4-5, основаны на испытаниях при температуре окружающей среды, указанной в Табл. 4-54.

Табл. 4-5 – Условия работы при включении и отключении питания

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
t_{VDD}	Скорость нарастания V_{DD}	20	∞	мкс/В
	Скорость спада V_{DD}	80	∞	

4.3.3 Характеристики встроенного модуля сброса и управления питанием

Параметры, приведенные в Табл. 4-6, определены для значений температуры окружающей среды и напряжения питания V_{DD}, указанных в Табл. 4-4.

Табл. 4-6 – Характеристики встроенного модуля сброса и управления питанием

Условное обозначение	Параметр	Условия	Мин.	Тип.	Макс.	Ед. Изм.
V_{PVD}	Программируемый уровень детектора напряжения (значение поля MSB регистра PWR_CTRL равно 0)	PLS[2:0]=000 (передний фронт)	2,09	2,18	2,27	В
		PLS[2:0]=000 (задний фронт)	2,03	2,11	2,19	В
		PLS[2:0]=001 (передний фронт)	2,19	2,28	2,37	В
		PLS[2:0]=001 (задний фронт)	2,11	2,20	2,29	В
		PLS[2:0]=010 (передний фронт)	2,28	2,38	2,48	В
		PLS[2:0]=010 (задний фронт)	2,21	2,30	2,39	В
		PLS[2:0]=011 (передний фронт)	2,39	2,49	2,59	В
		PLS[2:0]=011 (задний фронт)	2,30	2,40	2,50	В
		PLS[2:0]=100 (передний фронт)	2,49	2,60	2,71	В
		PLS[2:0]=100 (задний фронт)	2,40	2,51	2,62	В
		PLS[2:0]=101 (передний фронт)	2,58	2,69	2,80	В
		PLS[2:0]=101 (задний фронт)	2,50	2,61	2,72	В
		PLS[2:0]=110 (передний фронт)	2,67	2,79	2,91	В

Условное обозначение	Параметр	Условия	Мин.	Тип.	Макс.	Ед. Изм.
		PLS[2:0]=110 (задний фронт)	2,58	2,70	2,82	В
		PLS[2:0]=111 (передний фронт)	2,77	2,89	3,01	В
		PLS[2:0]=111 (задний фронт)	2,68	2,80	2,92	В
V_{PVD}	Программируемый уровень детектора напряжения (значение поля MSB регистра PWR_CTRL равно 1)	PLS[2:0]=000 (передний фронт)	1,70	1,78	1,86	В
		PLS[2:0]=000 (задний фронт)	1,61	1,69	1,77	В
		PLS[2:0]=001 (передний фронт)	1,80	1,88	1,96	В
		PLS[2:0]=001 (задний фронт)	1,72	1,80	1,88	В
		PLS[2:0]=010 (передний фронт)	1,91	1,99	2,07	В
		PLS[2:0]=010 (задний фронт)	1,82	1,90	1,98	В
		PLS[2:0]=011 (передний фронт)	2,01	2,10	2,19	В
		PLS[2:0]=011 (задний фронт)	1,91	2,00	2,09	В
		PLS[2:0]=100 (передний фронт)	3,16	3,30	3,44	В
		PLS[2:0]=100 (задний фронт)	3,08	3,22	3,36	В
		PLS[2:0]=101 (передний фронт)	3,26	3,40	3,54	В
		PLS[2:0]=101 (задний фронт)	3,17	3,31	3,45	В
		PLS[2:0]=110 (передний фронт)	3,37	3,51	3,65	В
		PLS[2:0]=110 (задний фронт)	3,28	3,42	3,56	В
		PLS[2:0]=111 (передний фронт)	3,46	3,60	3,74	В
		PLS[2:0]=111 (задний фронт)	3,39	3,53	3,67	В
$V_{PVDhyst}$ (1)	Гистерезис блока PVD		-	100	-	мВ
$V_{POR/PDR}$	Пороговое значение сброса при включении/отключении питания V_{DD}		-	1,64/1,62	-	В
$T_{RSTTEMPO}$ (1)	Продолжительность сброса		-	0,8	4	мс

Примечания:

1. *Гарантируется конструкцией, не проверяется при производстве.*

4.3.4 Встроенное опорное напряжение

Параметры, приведенные в Табл. 4-7, определены для значений температуры окружающей среды и напряжения питания V_{DD}, указанных в Табл. 4-4.

Табл. 4-7 – Встроенное опорное напряжение

Условное обозначение	Параметр	Условие	Мин.	Тип.	Макс.	Ед. изм.
V_{REFINT}	Встроенное опорное напряжение	-40 °C < T_A < +105 °C	1,16	1,20	1,26	В
		-40 °C < T_A < +85 °C	1,16	1,20	1,24	В
$T_{S_vrefint}$(1)	Время выборки АЦП при внутреннем опорном напряжении	PLS[2:0]=001 (передний фронт)	-	5,1	17,1(2)	мкс

Примечание:

1. *Гарантируется конструкцией, не проверяется при производстве.*

4.3.5 Характеристики потребления

Потребляемый ток зависит от нескольких параметров и факторов, включая рабочее напряжение, температуру окружающей среды, нагрузку на вводах/выводах, программную конфигурацию микроконтроллера, рабочую частоту, скорость переключения вводов/выводов, расположение программы в памяти, выполняемый код и т. д.

Описание метода измерения потребления тока приведено на Рис. 4.3.

Все измерения потребления тока в рабочих режимах, приведенные в этом разделе, выполняются с помощью кода, который дает результаты, эквивалентные коду Dhrystone 2.1.

4.3.5.1 Максимальное потребление

Микроконтроллер находится в следующих условиях:

- Все вводы/выводы находятся в режиме ввода и подключены к статическому уровню – V_{DD} или V_{SS} (без нагрузки).
- Если не указано иное, все периферийные устройства отключены.
- Время доступа к Flash-памяти регулируется в зависимости от частоты f_{HCLK} (0 тактов ожидания при 0 - 32 МГц, 1 такт ожидания при 32 - 64 МГц, 2 такта ожидания при 64 - 96 МГц, 3 такта ожидания при 96 - 128 МГц и 4 такта ожидания при 128 - 144 МГц).
- Функция упреждающей выборки команд включена (обратите внимание, что данный параметр должен быть задан до настройки предделителей тактовой частоты и частоты шины)
- При включенных периферийных устройствах: $f_{PCLK1} = f_{HCLK}/4$, $f_{PCLK2} = f_{HCLK}/2$.

Параметры, приведенные в Табл. 4-8 и Табл. 4-9, определены при температуре окружающей среды и напряжении питания V_{DD}, указанных в Табл. 4-4.

Табл. 4-8 – Максимальное потребление тока в режиме работы с кодом обработки данных, выполняемым из внутренней Flash-памяти

Условное обозначение	Параметр	Условие	f_{HCLK}	Макс. (1)	Ед. изм.
				T_A = 105 °C	

Условное обозначение	Параметр	Условие	f_{HCLK}	Макс. (1) T_A = 105 °C	Ед. изм.
I_{DD}	Ток потребления в рабочем режиме	Внешний тактовый сигнал (2), все периферийные устройства включены	144 МГц	28	мА
			72 МГц	18,5	
			36 МГц	12,5	
		Внешний тактовый сигнал (2), все периферийные устройства отключены	144 МГц	16,5	
			72 МГц	11,5	
			36 МГц	8,2	

Примечания:

1. *На основании комплексной оценки, в ходе производства не проверяются.*
2. *Частота внешнего тактового сигнала составляет 8 МГц, при этом блок PLL включается, если f_{HCLK} > 8 МГц.*

Табл. 4-9 – Максимальное потребление тока в спящем режиме (SLEEP) с выполнением код из Flash-памяти или SRAM

Условное обозначение	Параметр	Условие	f_{HCLK}	Макс. (1) T_A = 105 °C	Ед. изм.
I_{DD}	Ток потребления в спящем режиме	Внешний тактовый сигнал (2), все периферийные устройства включены	144 МГц	22,5	мА
			72 МГц	15	
			36 МГц	10	
		Внешний тактовый сигнал (2), все периферийные устройства отключены	144 МГц	12	
			72 МГц	9	
			36 МГц	7	

Примечания:

1. *На основании комплексной оценки, проверяется в ходе производства при V_{DDmax} и периферийных устройствах, включенных при $f_{HCLKmax}$.*
2. *Частота внешнего тактового сигнала составляет 8 МГц, при этом включается блок PLL, если f_{HCLK} > 8 МГц.*

Табл. 4-10 – Стандартное и максимальное потребления тока в режимах низкого энергопотребления

Условное обозначение	Параметр	Условие	Тип. (1) T_A = 25 °C	Тип. (1) T_A = 105 °C	Ед. изм.
I_{DD}	Потребляемый ток в режиме STOP0	Стабилизатор напряжения в основном режиме, HSE, HIS и LSI выключены, независимый сторожевой таймер выключен	500	2000	мкА
		Стабилизатор напряжения в режиме пониженного энергопотребления, HSE, HIS и LSI выключены, независимый сторожевой таймер выключен	130	1300	
	Потребляемый ток в режиме STOP2	LSE включен, RTC работают, R-SRAM функционирует, порты ввода вывода продолжают работать, а независимый сторожевой таймер выключен	9,5	100	
	Потребляемый ток в режиме ожидания	LSI и независимый сторожевой таймер включены	3	30	
		LSI включен, независимый сторожевой таймер выключен	2,9	30	

Условное обозначение	Параметр	Условие	Тип. (1)		Ед. изм.
			T_A = 25 °C	T_A = 105 °C	
	(STANDBY)	LSI и независимый сторожевой таймер выключены, LSE и RTC выключены	2,7	27	
I_{DD_VBAT}	Потребляемый ток области резервироавния	LSE и RTC включены	1,7	16	

Примечания:

1. *На основании комплексной оценки, в ходе производства не проверяются.*

4.3.5.2 Типовое потребление тока

Микроконтроллер находится в следующих условиях:

- Все вводы/выводы находятся в режиме входа и подключены к постоянному уровню – V_{DD} или V_{SS} (без нагрузки).
- Если не указано иное, все периферийные устройства отключены.
- Время доступа к Flash-памяти регулируется в зависимости от частоты f_{HCLK} (0 тактов ожидания при 0 - 32 МГц, 1 такт ожидания при 32 - 64 МГц, 2 такта ожидания при 64 - 96 МГц, 3 такта ожидания при 96 - 128 МГц и 4 такта ожидания при частоте свыше 128 МГц).
- Условия температуры окружающей среды и напряжения питания V_{DD} перечислены в Табл. 4-4.
- Функция упреждающей выборки команд включена (обратите внимание, данный параметр должен быть задан до настройки предделителей тактовой частоты и частоты шины).
- При включенных периферийных устройствах: $f_{PCLK1} = f_{HCLK}/4$, $f_{PCLK2} = f_{HCLK}/2$, $f_{ADCCLK} = f_{PCLK2}/4$.

Табл. 4-11 – Типовое потребление тока в режиме работы с кодом обработки данных, выполняемым из внутренней Flash-памяти

Условное обозначение	Параметр	Условие	f_{HCLK}	Тип. (1)		Ед. изм.
				Все периферийные устройства включены(2)	Все периферийные устройства выключены	
I_{DD}	Потребляемый ток в рабочем режиме	Внешний тактовый сигнал (3)	144 МГц	25,5	14,5	мА
			72 МГц	16	9,2	
			36 МГц	10,4	6,6	
		Работает от HSI, используя предделитель ANB для снижения частоты	128 МГц	23,6	13,5	мА
			72 МГц	15,5	8,5	
			36 МГц	10	6,0	

Примечания:

1. *Измерено при T_A = 25 °C, V_{DD} = 3,3 В.*
2. *Каждый АЦП в аналоговой части добавляет дополнительные 0,8 мА потребляемого тока. В прикладной среде эта часть тока будет увеличиваться только при включении АЦП (установите бит ON регистра ADC_CTRL2).*
3. *Частота внешнего тактового сигнала составляет 8 МГц, при этом включается блок PLL, если f_{HCLK} > 8 МГц.*

Табл. 4-12 – Типовое потребление тока в спящем режиме (SLEEP) с кодом обработки данных, выполняемым из внутренней Flash-памяти или SRAM

Условное обозначение	Параметр	Условие	f_{HCLK}	Тип. (1)		Ед. изм.
				Все периферийные устройства включены (2)	Все периферийные устройства выключены	
I_{DD}	Потребляемый ток в спящем режиме	Внешний тактовый сигнал (3)	144 МГц	20	9,4	мА
			72 МГц	13	6,6	
			36 МГц	8,3	5,4	
		Работает от HSI, используя предделитель ANB для снижения частоты	128 МГц	18,5	8	мА
			72 МГц	12,5	5,5	
			36 МГц	7,6	4,5	

Примечания:
1. *Измерено при T_A = 25 °C, V_{DD} = 3,3 В.*
2. *Каждый АЦП в аналоговой части добавляет дополнительные 0,8 мА потребляемого тока. В прикладной среде эта часть тока будет увеличиваться только при включении АЦП (установите бит ON регистра ADC_CTRL2.*
3. *Частота внешнего тактового сигнала составляет 8 МГц, при этом включается блок PLL, если f_{HCLK} > 8 МГц.*

4.3.6 Характеристики источника внешнего тактового сигнала

4.3.6.1 Высокочастотный тактовый сигнал от внешнего источника

Значения характеристик, приведенные в Табл. 4-13, измерены с использованием высокочастотного внешнего сигнала в качестве тактового, при этом температура окружающей среды и напряжение питания соответствуют условиям, указанным в Табл. 4-4.

Табл. 4-13 – Характеристики высокочастотного внешнего тактового сигнала

Условное обозначение	Параметр	Условия	Мин.	Тип.	Макс.	Ед. изм.
f_{HSE_ext}	Частота внешнего тактового сигнала (1)		4	8	32	МГц
V_{HSEH}	Напряжение высокого уровня на входе OSC_IN		$0,7V_{DD}$	-	V_{DD}	В
V_{HSEL}	Напряжение низкого уровня на входе OSC_IN		V_{SS}	-	$0,3V_{DD}$	
$t_{w(HSE)}$ $t_{w(HSE)}$	Длительность сигнала высокого и низкого уровней на входе OSC_IN (1)		16	-	-	нс
$t_{r(HSE)}$ $t_{f(HSE)}$	Время нарастания и спада		-	-	20	

Условное обозначение	Параметр	Условия	Мин.	Тип.	Макс.	Ед. изм.
	сигнала на входе OSC_IN (1)					
$C_{in(HSE)}$	Емкостное реактивное сопротивление на входе OSC_IN (1)		-	5	-	пФ
$DuCy_{(HSE)}$	Коэффициент заполнения		45	-	55	%
I_L	Ток утечки на входе OSC_IN	$V_{SS} \le V_{IN} \le V_{DD}$	-	-	±1	мкА

1. *Гарантировано конструкцией, в ходе производства не проверяются.*

4.3.6.2 Низкочастотный тактовый сигнал от внешнего источника

Значения характеристик, приведенные в Табл. 4-14, измерены с использованием низкочастотного внешнего сигнала в качестве тактового, при этом температура окружающей среды и напряжение питания соответствуют условиям, указанным в Табл. 4-4.

Табл. 4-14 – Характеристики низкочастотного внешнего пользовательского тактового сигнала

Условное обозначение	Параметр	Условия	Мин.	Тип.	Макс.	Ед. изм.
f_{LSE_ext}	Частота внешнего тактового сигнала (1)		0	32,768	1000	кГц
V_{LSEH}	Напряжение высокого уровня на входе OSC32_IN		$0,7V_{DD}$	-	V_{DD}	В
V_{LSEL}	Напряжение низкого уровня на входе OSC32_IN		V_{SS}	-	300	мВ
$t_{w(LSE)}$ $t_{w(LSE)}$	Длительность сигнала высокого и низкого уровней на входе OSC32_IN (1)		450	-	-	нс
$t_{r(LSE)}$ $t_{f(LSE)}$	Время нарастания или спада сигнала на входе OSC32_IN (1)		-	-	50	
$DuCy_{(LSE)}$	Коэффициент заполнения		30	-	70	%
I_L	Ток утечки на входе OSC32_IN	$V_{SS} \le V_{IN} \le V_{DD}$	-	-	±1	мкА

Примечание:

1. *Гарантируется конструкцией, не проверяется при производстве.*

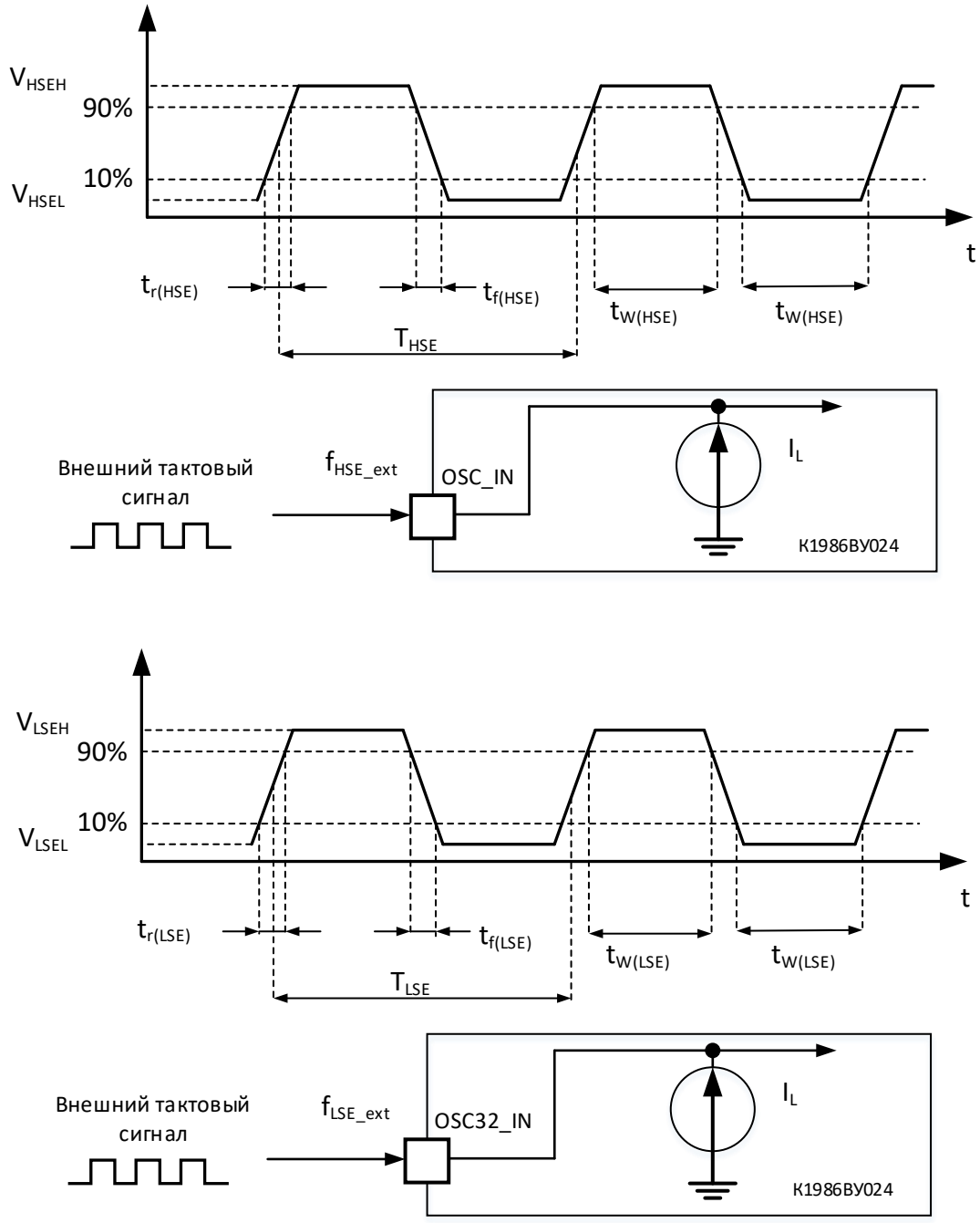


Рис. 4.4 – Временная диаграмма изменяющегося тока источника внешнего высокочастотного тактового сигнала

4.3.6.3 Высокочастотный внешний тактовый сигнал, формируемый с помощью кварцевого/керамического резонатора

Высокочастотный внешний тактовый сигнал (HSE) может быть сформирован с помощью кварцевого или керамического резонатора частотой 4 - 32 МГц. Информация, приведенная в этом разделе, основана на результатах комплексного изучения характеристик, которое проводилось с использованием стандартных внешних компонентов, перечисленных в таблице ниже. В ходе эксплуатации резонатор и нагрузочные конденсаторы должны находиться как можно

ближе к выводам осциллятора для уменьшения искажений на выходе и сокращения времени стабилизации при запуске. Для получения подробной информации о параметрах кварцевого резонатора (частоте, корпусе, точности и т. д.) необходимо обратиться к соответствующему производителю. Характеристики генератора высокочастотного внешнего тактового сигнала 4 - 32 МГц представлены в Табл. 4-15.

Табл. 4-15 – Характеристики генератора высокочастотного тактового сигнала 4 - 32 МГц (1)(2)

Условное обозначение	Параметр	Условия	Мин.	Тип.	Макс.	Ед. изм.
f_{OSC_IN}	Частота резонатора		4	8	32	МГц
R_F (4)	Резистор в цепи обратной связи		-	160	-	кОм
C_{L1} C_{L2} (3)	Рекомендуемая нагрузочная емкость (при соответствующем последовательном сопротивлении резонатора (R_S)) (4)	R_S = 30 Ом	-	20	-	пФ
i_2	Управляющий ток	V_{DD} = 3,3 В, V_{IN} = V_{SS} нагрузка 30 пФ	-	1,3	1,6	мА
g_m	Трансдуктивность осциллятора	запуск	-	10	-	мА/В
$t_{SU(HSE)}$ (5)	Время запуска	V_{DD} стабильно	-	3	5	мс

Примечания:

1. *Характеристики резонатора гарантированы производителем.*
2. *На основании комплексной оценки, в ходе производства не проверяются.*
3. *Для C_{L1} и C_{L2} рекомендуется использовать высококачественные керамические конденсаторы номиналом 5-25 пФ, предназначенные для высокочастотных областей применения, и подобранные в соответствии с требованиями резонатора. Как правило, C_{L1} и C_{L2} имеют одинаковые параметры. Производители резонаторов обычно указывают параметры для нагрузочной емкости в виде последовательной комбинации C_{L1} и C_{L2}. При выборе C_{L1} и C_{L2} следует учитывать емкостное сопротивление печатной платы и выводов микроконтроллера (емкость выводов и печатной платы можно приблизительно оценить как равную 10 пФ).*
4. *Относительно низкие значения сопротивления R_F могут обеспечить защиту от проблем, связанных с использованием во влажной среде, где изменяются условия утечки и смещения. Однако, если микроконтроллер планируется использовать в суровых влажных условиях, этот параметр необходимо учитывать при проектировании.*
5. *Параметр $t_{SU(HSE)}$ – это время запуска, которое измеряется с момента программного включения внешнего генератора HSE и до получения стабильного колебания 8 МГц. Это значение измерено на стандартном кварцевом резонаторе и может варьироваться в широком диапазоне в зависимости от производителя.*

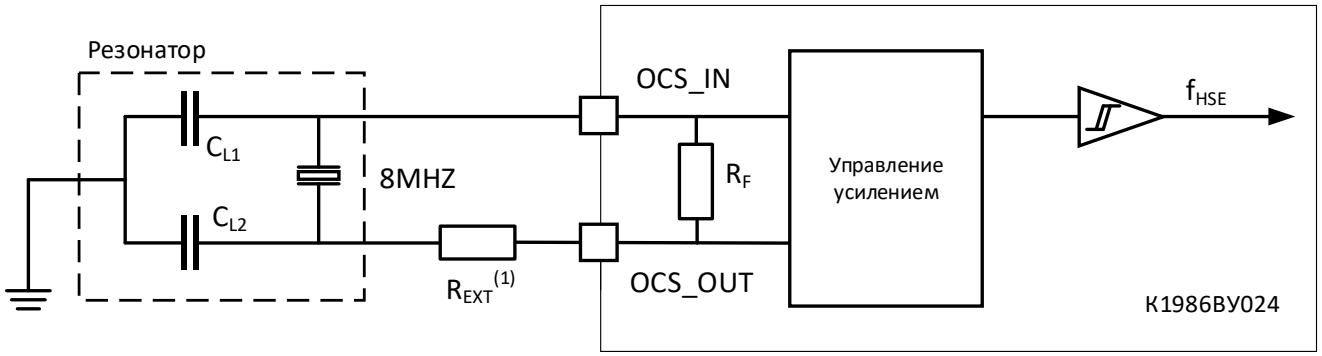


Рис. 4.5 – Типовое подключение резонатора

Примечание: значение R_{EXT} определяется характеристиками резонатора. Типовые значения в 5-6 раз больше R_S.

4.3.6.4 Низкочастотный внешний тактовый сигнал, формируемый с помощью кварцевого/керамического резонатора

Низкочастотный внешний тактовый сигнал (LSE) может быть сформирован с помощью кварцевого или керамического резонатора частотой 32,768 кГц. Информация, приведенная в этом разделе, основана на результатах комплексного изучения характеристик, которое проводилось с использованием типовых внешних компонентов, перечисленных в Табл. 4-16. В ходе эксплуатации резонатор и нагрузочные конденсаторы должны находиться как можно ближе к выводам осциллятора для уменьшения искажений на выходе и сокращения времени стабилизации при запуске. Для получения подробной информации о параметрах кварцевого резонатора (частоте, корпусе, точности и т. д.) необходимо обратиться к соответствующему производителю.

Примечание: Для C_{L1} и C_{L2} рекомендуется использовать высококачественные керамические конденсаторы номиналом 5-15 пФ, подобранные в соответствии с требованиями резонатора. Как правило, C_{L1} и C_{L2} имеют одинаковые параметры. Производители кристаллов обычно указывают параметры для нагрузочной емкости в виде последовательной комбинации C_{L1} и C_{L2}.

Нагрузочная емкость C_L рассчитывается по следующей формуле: $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$, где C_{stray} – это емкость вывода и емкость печатной платы; ее стандартное значение составляет от 2 пФ до 7 пФ.

Предупреждение: во избежание превышения максимального значения C_{L1} и C_{L2} (15 пФ) настоятельно рекомендуется использовать резонатор с нагрузочной емкостью $C_L \leq 7$ пФ, а не резонатор с нагрузочной емкостью 12,5 пФ.

Например: если выбран резонатор с нагрузочной емкостью C_L = 6 пФ и C_{stray} = 2 пФ, то

$C_{L1} = C_{L2} = 8$ пФ.

Табл. 4-16 – Характеристики генератора низкочастотного внешнего тактового сигнала (f_{LSE}=32,768 кГц)(1)

Условное обозначение	Параметр	Условия	Мин.	Тип.	Макс.	Ед. Изм.
R_F	Резистор обратной связи		-	5	-	МОм
C_{L1} C_{L2} (2)	Рекомендуемая нагрузочная емкость соответствует последовательному сопротивлению кварцевого резонатора (R_S) (3)	R_S: 30 кОм – 65 кОм	-	-	15	пФ
I_2	Управляющий ток	V_{DD} = 3,3 В $C_{L1} = C_{L2}$ = 14 пФ R_S = 30 кОм	-	0,3	-	мкА
g_m	Трансдуктивность осциллятора		5	-	-	мкА/В
$t_{SU(LSE)}$ (4)	Время запуска	V_{DD} стабильно	-	2	-	с

Примечания:

1. *На основании комплексной оценки, в ходе производства не проверяются.*
2. *См. пункт с предупреждениями и предостережениями, приведенный перед данной таблицей.*
3. *В целях оптимизации потребления тока выбирайте высококачественный осциллятор с малым значением R_S. Для получения подробной информации обратитесь к производителю.*
4. *Параметр $t_{SU(LSE)}$ – это время запуска, которое измеряется с момента программного включения внешнего осциллятора LSE и до получения стабильного колебания 32,768 МГц. Это значение измерено на стандартном кварцевом резонаторе и может варьироваться в широком диапазоне в зависимости от производителя.*

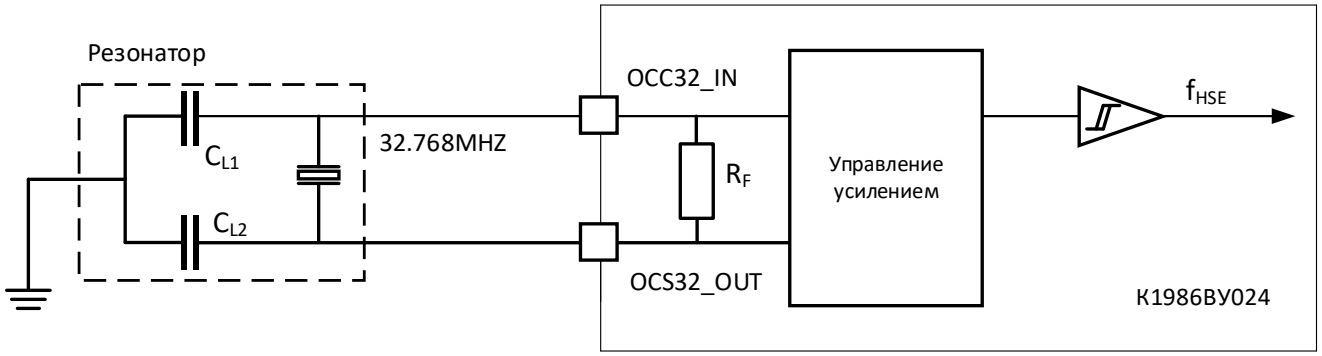


Рис. 4.6 – Типовая схема включения резонатора 32,768 кГц

4.3.7 Характеристики источника внутреннего тактового сигнала

Параметры характеристик, приведенные в Табл. 4-17, измерены при температуре окружающей среды и напряжении питания в соответствии с условиями, указанным в Табл. 4-4.

4.3.7.1 Высокочастотный RC-генератор HSI

Табл. 4-17 – Характеристики высокочастотного внутреннего генератора тактовых сигналов (1)(2)

Условное обозначение	Параметр	Условие	Мин.	Тип.	Макс.	Ед. изм.
f_{HSI}	Частота	V_{DD} = 3,3 В, T_A = 25 °C, после калибровки	7,92	8	8,08	МГц
ACC_{HSI}	Точность генератора HSI	V_{DD} = 3,3 В, T_A = -40~105 °C, температурный дрейф	-2,5	-	2,5	%
		V_{DD} = 3,3 В, T_A = -10~85 °C, температурный дрейф	-2	-	2,2	%
		V_{DD} = 3,3 В, T_A = 0~70 °C, температурный дрейф	-1,3	-	2	%
$t_{SU(HSI)}$	Время запуска генератора HSI		1	-	3	мкс
$I_{DD(HSI)}$	Мощность, потребляемая генератором HSI		-	40	100	мкА

Примечания:

1. *V_{DD} = 3,3 В, T_A = -40~105 °C, если не указано иное.*
2. *Гарантируется конструкцией, не проверяется при производстве.*

4.3.7.2 Низкочастотный RC-генератор LSI

Табл. 4-18 – Характеристики низкочастотного внутреннего генератора тактовых сигналов (1)

Условное обозначение	Параметр	Условия	Мин.	Тип.	Макс.	Ед. изм.
f_{LSI} (2)	Выходная частота	Калибровка при 25 °C, V_{DD} = 3,3 В	38	40	42	кГц
		V_{DD} = 1,8 В ~ 3,6 В, T_A = -40~105 °C	30	40	60	кГц
$t_{SU(LSI)}$ (3)	Время запуска генератора LSI		-	30	80	мкс
$I_{DD(LSI)}$ (3)	Мощность, потребляемая генератором LSI		-	0,2	-	мкА

Примечания:

1. *V_{DD} = 3,3 В, T_A = -40~105 °C, если не указано иное.*
2. *На основании комплексной оценки, в ходе производства не проверяются.*
3. *Гарантируется конструкцией, не проверяется при производстве*

4.3.7.3 Время выхода из режима пониженного энергопотребления

Значения времени перехода в рабочий режим, указанные в Табл. 4-19, измерены во время фазы перехода в рабочий режим RC-генератора HSI 8 МГц. Источник тактовой частоты, используемый при выходе из спящего режима, зависит от текущего режима работы:

- Режим STOP или режим ожидания (STANBY): источником тактовой частоты служит RC-генератор HSI
- Спящий режим (SLEEP): источником тактовой частоты является источник, который использовался до перехода в спящий режим

Все значения времени измерены при температуре окружающей среды и напряжении питания, указанных в Табл. 4-4.

Табл. 4-19 – Время перехода из режима пониженного энергопотребления в рабочий режим

Условное обозначение	Параметр	Тип.	Ед. изм.
$t_{WUSLEEP}$ (1)	Выход из спящего режима (SLEEP)	480	нс
$t_{WUSTOP0}$ (1)	Переход в рабочий режим из режима STOP0 (стабилизатор в основном режиме)	20	мкс
	Переход в рабочий режим из режима STOP0 (стабилизатор напряжения в режиме пониженного энергопотребления)	22	
$t_{WUSTOP2}$ (1)	Переход в рабочий режим из режима STOP2	40	
$t_{WUSTDBY}$ (1)	Переход в рабочий режим из режима ожидания (STANDBY)	100	

Примечание:

Время перехода в рабочий режим измеряется с момента наступления события выхода из режима пониженного энергопотребления до момента чтения пользовательской программой первой команды.

4.3.8 Характеристики блока PLL

Перечисленные параметры PLL в Табл. 4-20 измерены при температуре окружающей среды и напряжении питания в соответствии с Табл. 4-4.

Табл. 4-20 – Характеристики блока PLL

Условное обозначение	Параметр	Числовое значение			Ед. изм.
		Мин.	Тип.	Макс. (1)	
f_{PLL_IN}	Входной тактовый сигнал PLL (2)	4	8,0	32	МГц
	Коэффициент заполнения входного тактового сигнала PLL	40	-	60	%
f_{PLL_OUT}	Выходной тактовый сигнал PLL после умножения	32	-	144	МГц
t_{LOCK}	Сигнал готовности блока PLL	-	-	150	мкс
Джиттер	Среднеквадратичное значение (RMS) cycle-to-cycle джиттера на частоте 144 МГц	-	5	-	пс
I_{PLL}	Рабочий ток блока PLL на частоте генератора, управляемого напряжением, (VCO) 144 МГц	-	-	700	мкА

Примечания:

1. *Получены на основании комплексной оценки, в ходе производства не проверяются.*
2. *Необходимо обеспечить использование правильного коэффициента умножения, чтобы значение f_{PLL_OUT} находилось в допустимом диапазоне, исходя из входной тактовой частоты PLL.*

4.3.9 Характеристики Flash-памяти

Если не указано иное, все параметры характеристик Flash-памяти из Табл. 4-21 соответствуют T_A = -40~105 °C.

Табл. 4-21 – Характеристики Flash-памяти

Условное обозначение	Параметр	Условие	Мин. (1)	Тип. (1)	Макс. (1)	Ед.изм.
t_{prog}	Время программирования 32-разрядного слова	T_A = -40~105 °C	-	112	225	мкс
t_{ERASE}	Время стирания страницы (2 килобайта)	T_A = -40~105 °C	-	2	20(2)	мс
t_{ME}	Время стирания всей Flash-памяти	T_A = -40~105 °C;	-	-	100(3)	мс
I_{DD}	Ток питания	Режим чтения, f_{HCLK} = 144 МГц, 2 такта ожидания, V_{DD} = 3,3 В	-	-	3,62	мА
		Режим записи, f_{HCLK} = 144 МГц, V_{DD} = 3,3 В	-	-	6,5	мА
		Режим стирания, f_{HCLK} = 144 МГц, V_{DD} = 3,3 В	-	-	4,5	мА
		Режим покоя, V_{DD} = 3,3 - 3,6 В	-	-	0,035	мкА
V_{prog}	Напряжение программирования	-	1,8	3,0	3,6	В

Примечания:

1. *Гарантируется конструкцией, не проверяется при производстве.*
2. *После 10 тыс. циклов стирания и записи.*
3. *После 100 тыс. циклов стирания и записи работоспособность не гарантируется.*

Табл. 4-22 – Срок службы Flash-памяти и время хранения данных

Условное обозначение	Параметр	Условие	Мин.(1)	Ед. изм.
N_{END}	Срок службы (количество циклов стирания и записи)	T_A = (-40~105) °C; Объем Flash-памяти – 512 Кбайт	10	Тысяч раз
		T_A = (-40~105) °C (суффикс 7); Объем Flash-памяти – 512 Кбайт, из которых первые 256 Кбайт – область хранения данных	10	
		T_A = (-40~105) °C; Объем Flash-памяти – 512 Кбайт, из которых последние 256 Кбайт – область хранения данных	100	
t_{RET}	Период хранения данных	T_A = 85 °C	10	лет

Примечания:

1. *Получены на основании комплексной оценки, в ходе производства не проверяются.*
2. *Циклические испытания проводятся во всем диапазоне температур.*

4.3.10 Характеристики XUMC

4.3.10.1 Асинхронное взаимодействие

На

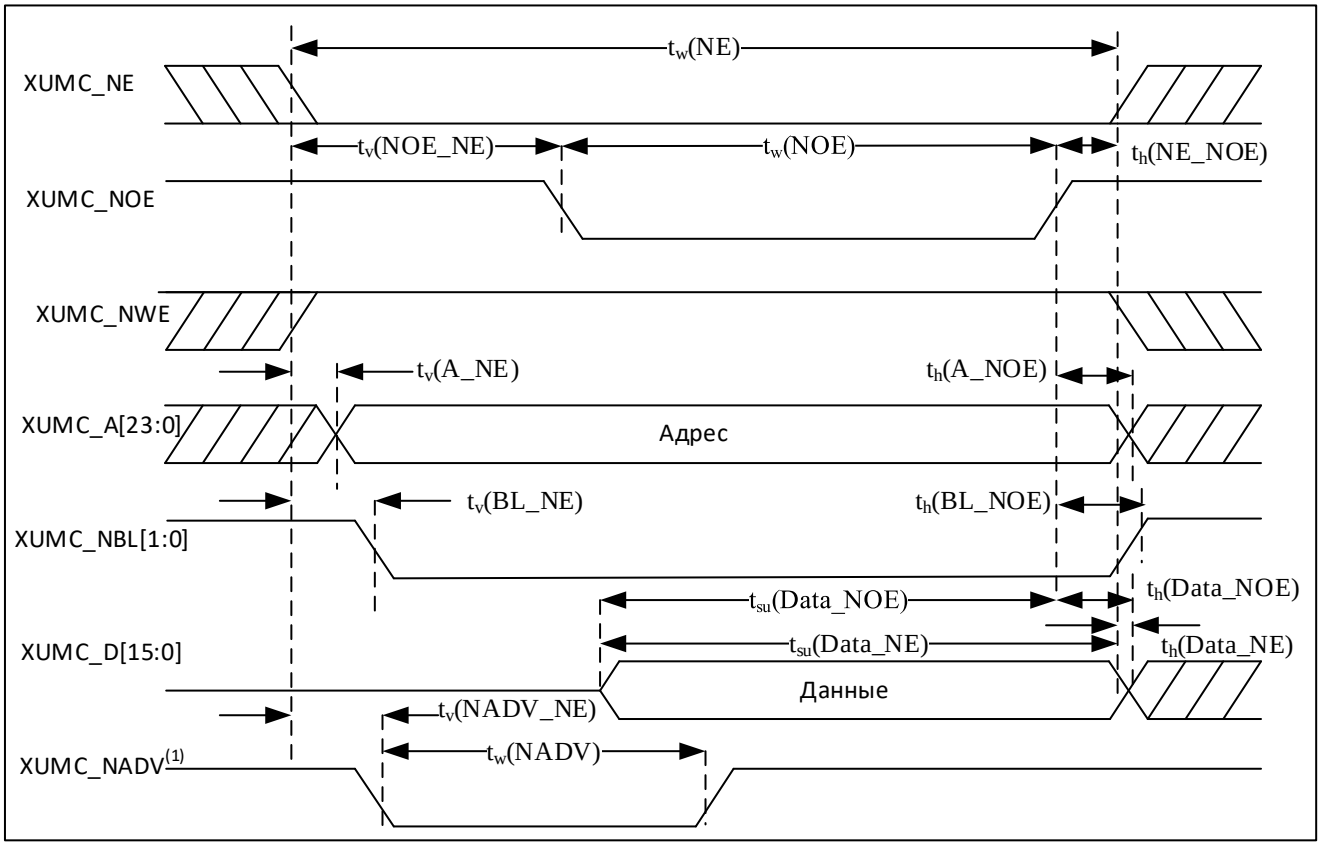


Рис. 4.7 –

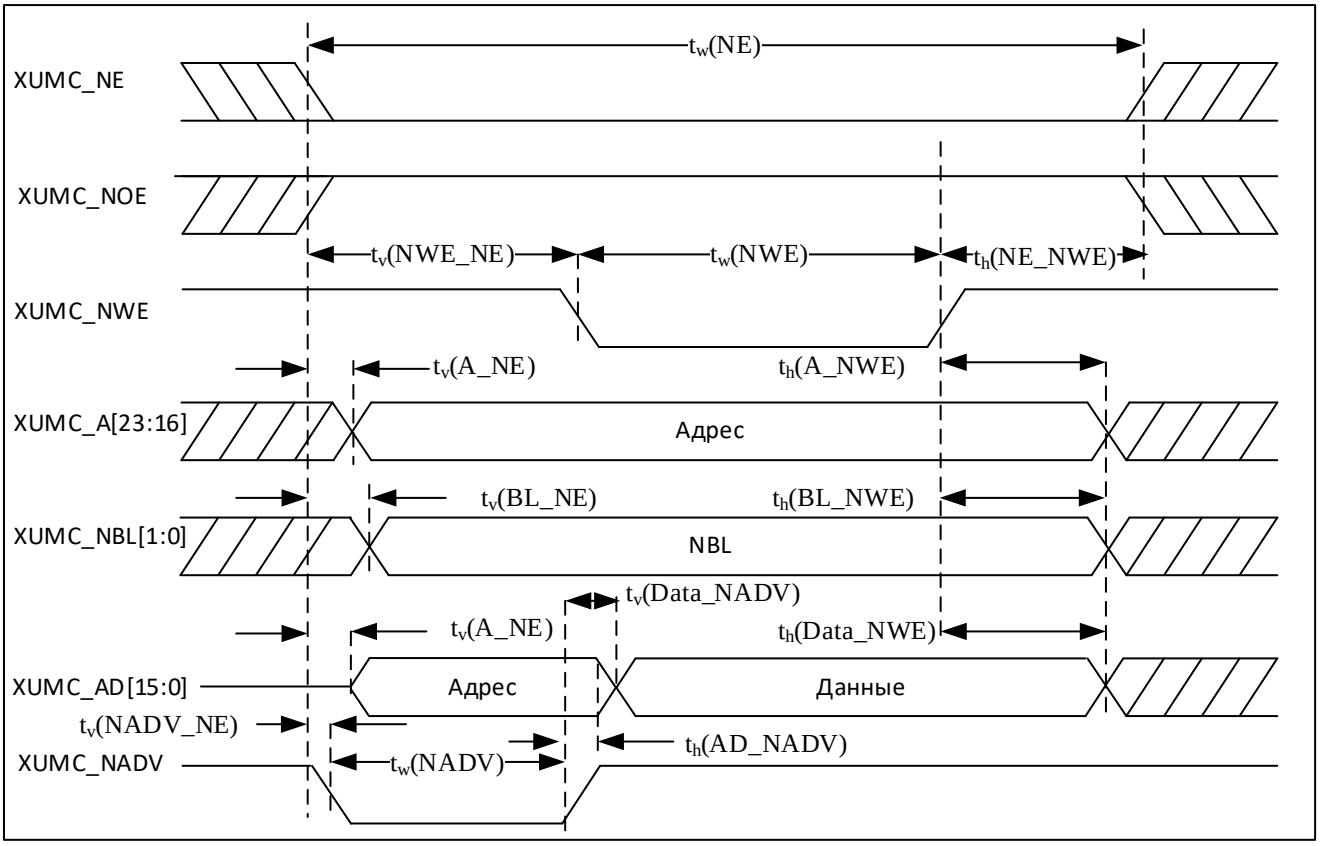


Рис. 4.10 изображены временные диаграммы асинхронного взаимодействия XUMC и внешней памяти, а в Табл. 4-23 – Табл. 4-26 даны соответствующие временные характеристики. Результаты, указанные в этих таблицах, были получены со следующей конфигурацией XUMC (значения соответствующих полей регистров):

- Время установки адреса = 0x0;
- Время удержания адреса = 0x1;
- Время установки данных = 0x1.

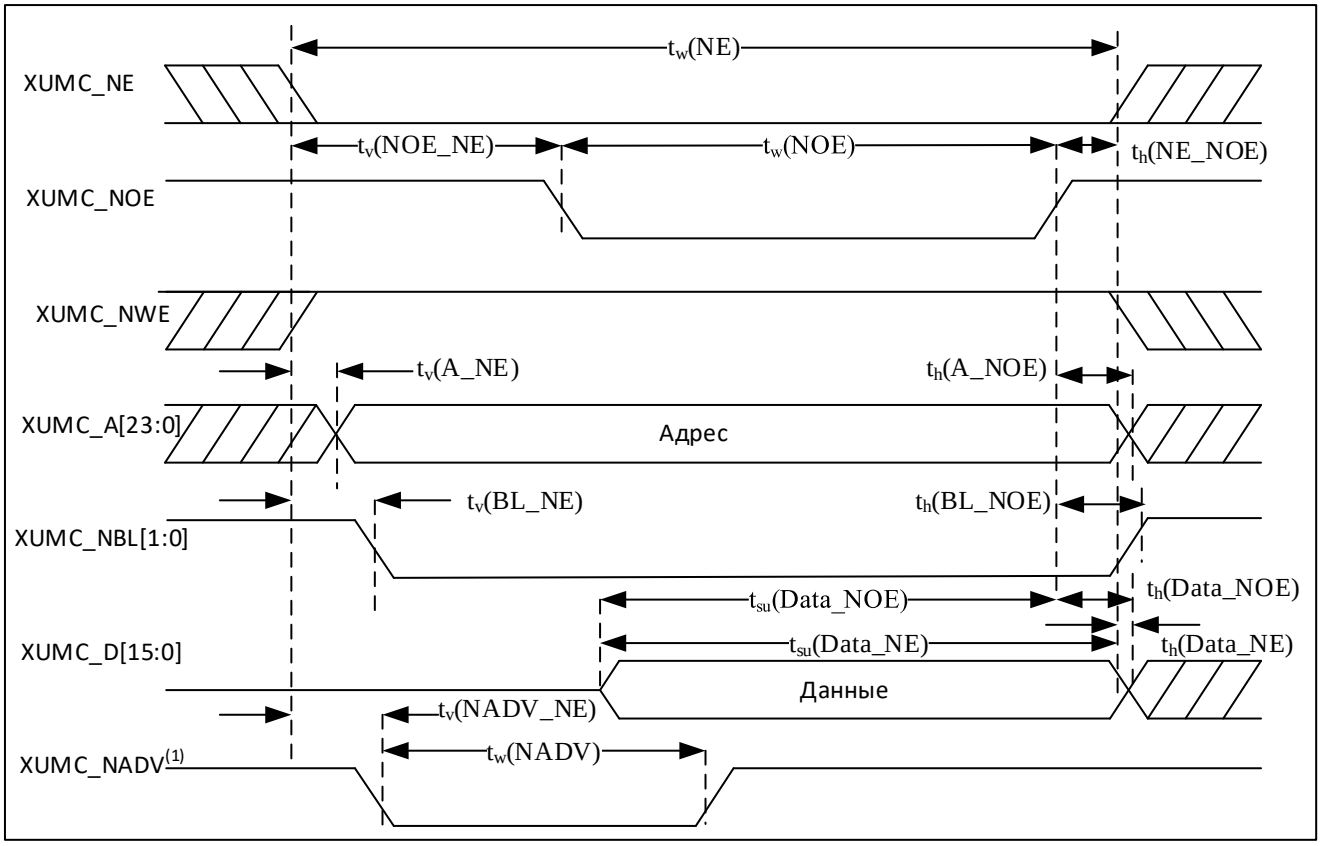


Рис. 4.7 – Временная диаграмма чтения из SRAM/PSRAM/NOR в асинхронном режиме без мультиплексирования

Примечания:

1. *Сигнал XUMC_NADV доступен только в режимах 2, B, C и D.*

Табл. 4-23 – Временные характеристики чтения из SRAM/PSRAM/NOR в асинхронном режиме без мультиплексирования (1)(2)

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
$t_{w(NE)}$	Длительность XUMC_NE низкого уровня	$5T_{HCLK} – 1.5$	$5T_{HCLK} + 2$	нс
$t_{v(NOE_NE)}$	Длительность низкого уровня XUMC_NE до установления низкого уровня XUMC_NOE	-2	2.6	
$t_{w(NOE)}$	Длительность XUMC_NOE низкого уровня	$5T_{HCLK} – 1.5$	$5T_{HCLK} + 1.5$	
$t_{h(NE_NOE)}$	Длительность высокого уровня XUMC_NOE до установления высокого уровня XUMC_NE	-1.5	-	
$t_{v(A_NE)}$	Длительность низкого уровня XUMC_NE до действительного XUMC_A (адреса)	-	0	
$t_{h(A_NOE)}$	Длительность удержания XUMC_A (адреса) после высокого уровня XUMC_NOE	-1	-	
$t_{v(BL_NE)}$	Длительность низкого уровня XUMC_NE до действительного XUMC_BL	-	0	
$t_{h(BL_NOE)}$	Длительность удержания XUMC_BL после высокого уровня XUMC_NOE	0	-	
$t_{su(Data_NE)}$	Время установления XUMC_D (данные) до высокого уровня XUMC_NE	$2T_{HCLK} + 25$	-	
$t_{su(Data_NOE)}$	Время установления XUMC_D (данные) до высокого уровня XUMC_NOE	$2T_{HCLK} + 25$	-	
$t_{h(Data_NOE)}$	Длительность удержания XUMC_D (данные) после высокого уровня XUMC_NOE	0	-	
$t_{h(Data_NE)}$	Длительность удержания XUMC_D (данные) после высокого уровня XUMC_NE	0	-	
$t_{v(NADV_NE)}$	Длительность низкого уровня XUMC_NE до установления низкого уровня XUMC_NADV	-	5	
$t_{w(NADV)}$	Длительность XUMC_NADV низкого уровня	-	$T_{HCLK} + 1.5$	

Примечания:

1. *V_{DD_IO} = 3.3V, C_L = 15pF*
2. *Получены на основании комплексной оценки, в ходе производства не проверяются.*

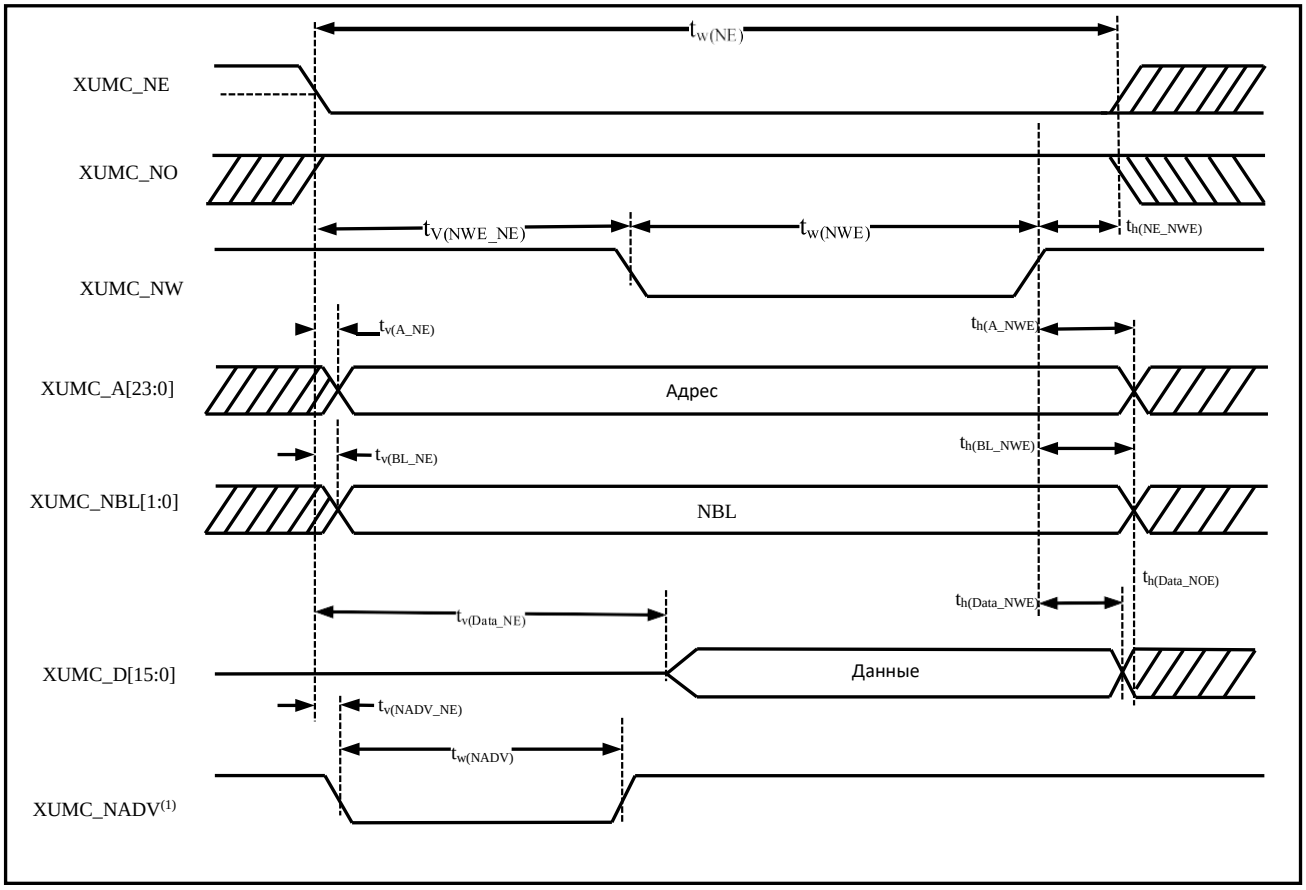


Рис. 4.8 – Временная диаграмма записи в SRAM/PSRAM/NOR в асинхронном режиме без мультиплексирования

Примечания:

1. *Сигнал XUMC_NADV доступен только в режимах 2, B, C и D.*

Табл. 4-24 – Временные характеристики записи в SRAM/PSRAM/NOR в асинхронном режиме без мультиплексирования (1)(2)

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
$t_{w(NE)}$	Длительность XUMC_NE низкого уровня	$3T_{HCLK} – 1$	$3T_{HCLK} + 2$	нс
$t_{v(NWE_NE)}$	Длительность низкого уровня XUMC_NE до установления низкого уровня XUMC_NWE	$T_{HCLK} – 0.5$	$T_{HCLK} + 1.5$	
$t_{w(NWE)}$	Длительность XUMC_NWE низкого уровня	$T_{HCLK} – 0.5$	$T_{HCLK} + 1.5$	
$t_{h(NE_NWE)}$	Длительность высокого уровня XUMC_NWE до установления высокого уровня XUMC_NEx	T_{HCLK}	-	
$t_{v(A_NE)}$	Длительность низкого уровня XUMC_NE до действительного XUMC_A (адреса)	-	9	
$t_{h(A_NWE)}$	Длительность удержания XUMC_A (адреса) после высокого уровня XUMC_NWE	T_{HCLK}	-	
$t_{v(BL_NE)}$	Длительность низкого уровня XUMC_NE до действительного XUMC_BL	-	0	
$t_{h(BL_NWE)}$	Длительность удержания XUMC_BL после высокого уровня XUMC_NWE	$T_{HCLK} – 0.5$	-	
$t_{v(Data_NE)}$	Длительность низкого уровня XUMC_NEx до действительного XUMC_D (данные)	-	$T_{HCLK} + 7$	
$t_{h(Data_NWE)}$	Длительность удержания XUMC_D (данные) после высокого уровня XUMC_NWE	T_{HCLK}		
$t_{v(NADV_NE)}$	Длительность низкого уровня XUMC_NE до установления низкого уровня XUMC_NADV	-	5.5	
$t_{w(NADV)}$	Длительность XUMC_NADV низкого уровня	-	$T_{HCLK} + 1.5$	

Примечания:

1. *V_{DD_IO} = 3.3V, C_L = 15pF*
2. *Получены на основании комплексной оценки, в ходе производства не проверяются*

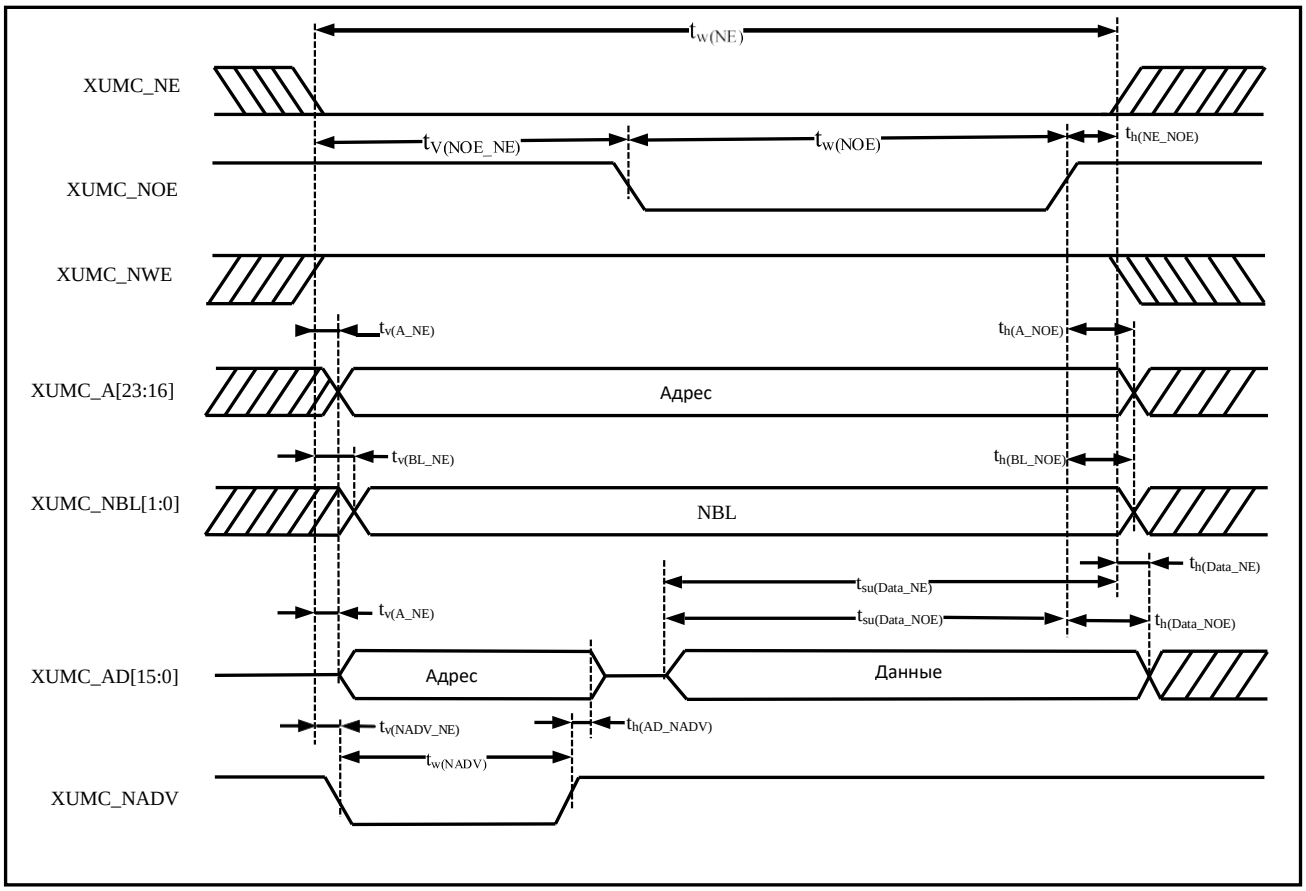


Рис. 4.9 – Временная диаграмма чтения из PSRAM/NOR в асинхронном режиме с мультиплексированием

Табл. 4-25 – Временные характеристики чтения из PSRAM/NOR в асинхронном режиме с мультиплексированием (1)(2)

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
$t_{w(NE)}$	Длительность XUMC_NE низкого уровня	$7T_{HCLK} – 2$	$7T_{HCLK} + 2$	нс
$t_{v(NOE_NE)}$	Длительность низкого уровня XUMC_NE до установления низкого уровня XUMC_NOE	$3T_{HCLK} – 0.5$	$3T_{HCLK} + 1.5$	
$t_{w(NOE)}$	Длительность XUMC_NOE низкого уровня	$4T_{HCLK} – 1$	$4T_{HCLK} + 2$	
$t_{h(NE_NOE)}$	Длительность высокого уровня XUMC_NOE до установления высокого уровня XUMC_NE	-1	-	
$t_{v(A_NE)}$	Длительность низкого уровня XUMC_NE до действительного XUMC_A (адреса)	-	0	
$t_{v(NADV_NE)}$	Длительность низкого уровня XUMC_NE до установления низкого уровня XUMC_NADV	3	5	
$t_{w(NADV)}$	Длительность XUMC_NADV низкого уровня	$T_{HCLK} – 1.5$	$T_{HCLK} + 1.5$	
$t_{h(AD_NADV)}$	Длительность удержания XUMC_AD (адреса) после высокого уровня XUMC_NADV	T_{HCLK}	-	
$t_{h(A_NOE)}$	Длительность удержания XUMC_A (адреса) после высокого уровня XUMC_NOE	T_{HCLK} -2	-	
$t_{h(BL_NOE)}$	Длительность удержания XUMC_BL после высокого уровня XUMC_NOE	0	-	
$t_{v(BL_NE)}$	Длительность низкого уровня XUMC_NE до действительного XUMC_BL	-	0	
$t_{su(Data_NE)}$	Время установления XUMC_D (данные) до высокого уровня XUMC_NE	$2T_{HCLK} + 24$	-	
$t_{su(Data_NOE)}$	Время установления XUMC_D (данные) до высокого уровня XUMC_NOE	$2T_{HCLK} + 25$	-	

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
$t_{h(Data_NE)}$	Длительность удержания XUMC_D (данные) после высокого уровня XUMC_NE	0	-	
$t_{h(Data_NOE)}$	Длительность удержания XUMC_D (данные) после высокого уровня XUMC_NOE	0	-	

Примечания:

1. V_{DD_IO} = 3.3V, C_L = 15pF

Получены на основании комплексной оценки, в ходе производства не проверяются

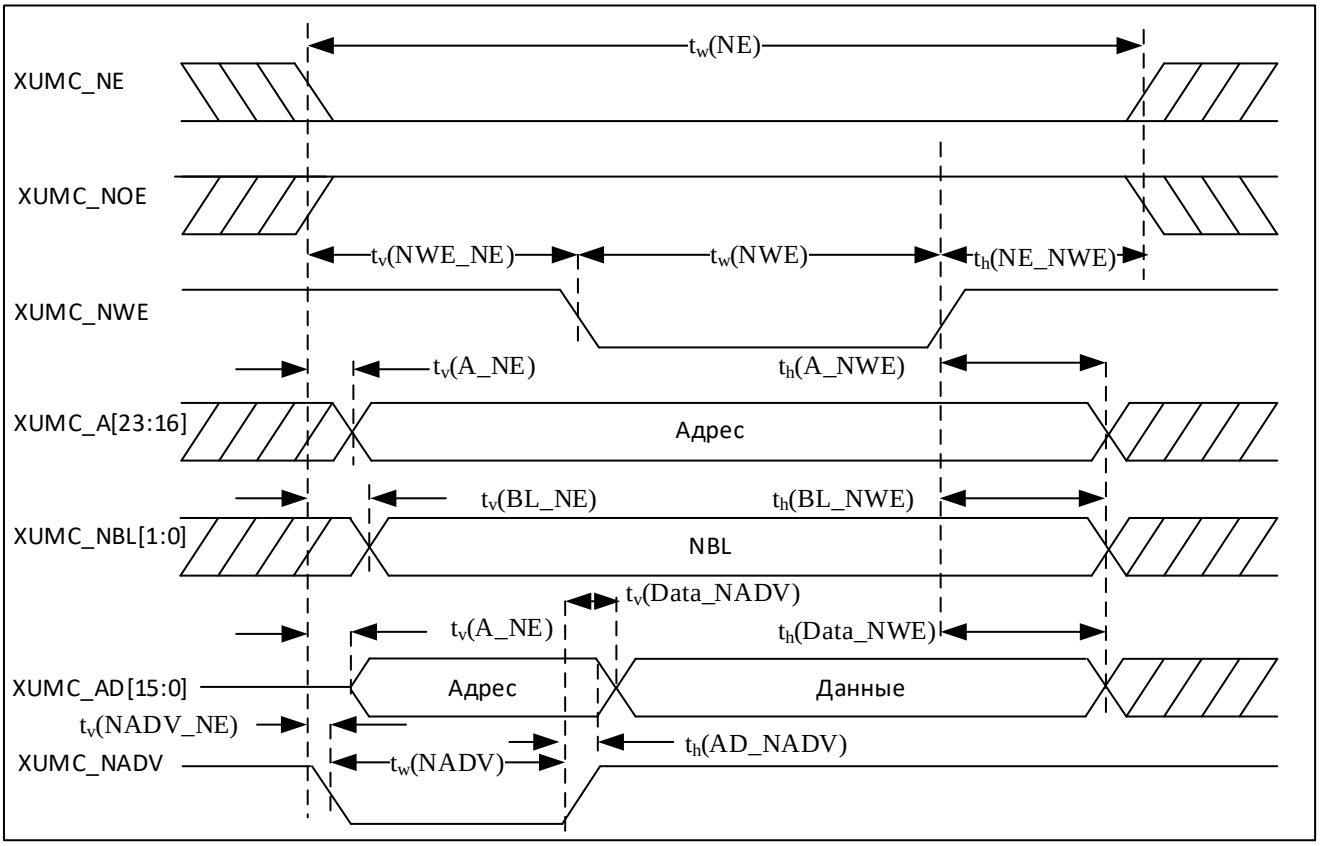


Рис. 4.10 – Временная диаграмма записи в PSRAM/NOR в асинхронном режиме с мультиплексированием

Табл. 4-26 – Временные характеристики записи в PSRAM/NOR в асинхронном режиме с мультиплексированием (1)(2)

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
$t_{w(NE)}$	Длительность XUMC_NE низкого уровня	$5T_{HCLK} – 1$	$5T_{HCLK} + 2$	нс
$t_{v(NWE_NE)}$	Длительность XUMC_NE низкого уровня	$2T_{HCLK}$	$2T_{HCLK} + 1$	
$t_{w(NWE)}$	Длительность низкого уровня XUMC_NE до установления низкого уровня XUMC_NWE	$2T_{HCLK} – 1$	$2T_{HCLK} + 2$	
$t_{h(NE_NWE)}$	Длительность XUMC_NWE низкого уровня	$T_{HCLK}– 1$	-	
$t_{v(A_NE)}$	Длительность высокого уровня XUMC_NWE до установления высокого уровня XUMC_NEx	-	7	
$t_{v(NADV_NE)}$	Длительность низкого уровня XUMC_NE до установления низкого уровня XUMC_NADV	3	5	
$t_{w(NADV)}$	Длительность XUMC_NADV низкого уровня	$T_{HCLK}– 1$	$T_{HCLK}+ 1$	
$t_{h(AD_NADV)}$	Длительность удержания XUMC_AD (адреса) после высокого уровня XUMC_NADV	$T_{HCLK}– 3$	-	
$t_{h(A_NWE)}$	Длительность удержания XUMC_A (адреса) после высокого уровня XUMC_NWE	$4T_{HCLK}$	-	
$t_{v(BL_NE)}$	Длительность низкого уровня XUMC_NE до действительного XUMC_BL	-	1.6	
$t_{h(BL_NWE)}$	Длительность удержания XUMC_BL после высокого уровня XUMC_NWE	$T_{HCLK} – 1.5$	-	
$t_{v(Data_NADV)}$	Длительность высокого уровня XUMC_NADV до дей-	-	$T_{HCLK} + 1.5$	

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
	ствительного FMC_ AD (данных)			
$t_{h(Data_NWE)}$	Длительность удержания FMC_ AD (данных) после высокого уровня XUMC_NWE	T_{HCLK}– 5	-	

Примечания:

1. *V_{DD_IO} = 3.3V, C_L = 15pF*
2. *Получены на основании комплексной оценки, в ходе производства не проверяются*

4.3.10.2 Синхронное взаимодействие

На Рис. 4.11 – Рис. 4.14 изображены временные диаграммы синхронного взаимодействия XUMC и внешней памяти, а в Табл. 4-27 – Табл. 4-30 даны соответствующие временные характеристики. Результаты, указанные в этих таблицах, были получены со следующей конфигурацией XUMC (значения соответствующих полей регистров):

- Включён режим burst;
- Включён режим burst для чтения;
- Тип памяти – PSRAM (CRAM), NOR;
- Значение предделителя частоты = 0x1 (1 такт работы XUMC равен 2 тактам HCLK);
- Значение задержки перед чтением/записью 0x1 для NOR и 0x0 для PSRAM

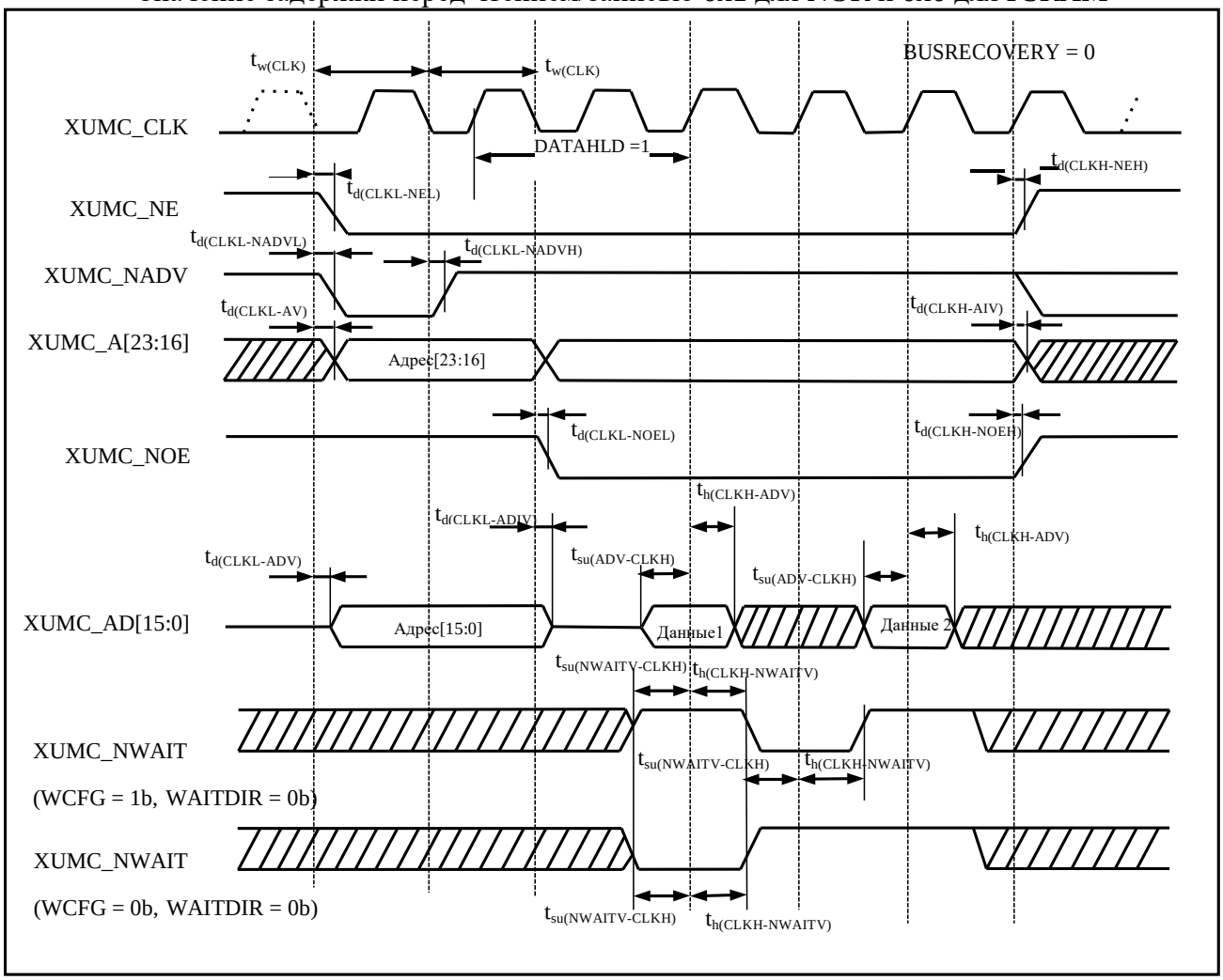


Рис. 4.11 – Временная диаграмма чтения из PSRAM/NOR в синхронном режиме с мультиплексированием

Табл. 4-27 – Временные характеристики чтения из PSRAM/NOR в синхронном режиме с мультиплексированием (1)(2)

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
$t_{w(CLK)}$	Период XUMC_CLK	27.7	-	нс
$t_{d(CLKL-NEL)}$	Длительность низкого уровня XUMC_CLK до установления низкого уровня XUMC_NE	-	5	
$t_{d(CLKH-NEH)}$	Длительность высокого уровня XUMC_CLK до установления высокого уровня XUMC_NE	-0.5	-	
$t_{d(CLKL-NADVL)}$	Длительность низкого уровня XUMC_CLK до установления низкого уровня XUMC_NADV	-	4.5	
$t_{d(CLKL-NADVH)}$	Длительность низкого уровня XUMC_CLK до установления высокого уровня XUMC_NADV	-0.5	-	
$t_{d(CLKL-AV)}$	Длительность низкого уровня XUMC_CLK до действительного XUMC_A (адреса)	-	0	
$t_{d(CLKH-AIV)}$	Длительность высокого уровня XUMC_CLK до недействительного XUMC_A (адреса)	0	-	
$t_{d(CLKL-NOEL)}$	Длительность низкого уровня XUMC_CLK до установления низкого уровня XUMC_NOE	-	4.5	
$t_{d(CLKH-NOEH)}$	Длительность высокого уровня XUMC_CLK до установления высокого уровня XUMC_NOE	-0.5	-	
$t_{d(CLKL-ADV)}$	Длительность низкого уровня XUMC_CLK до действительного XUMC_AD (адреса)	-	10	
$t_{d(CLKL-ADIV)}$	Длительность низкого уровня XUMC_CLK до недействительного XUMC_AD (адреса)	1.5	-	
$t_{su(ADV-CLKH)}$	Длительность действительного XUMC_AD (данных) до высокого уровня XUMC_CLK	5.5	-	
$t_{h(CLKH-ADV)}$	Длительность действительного XUMC_AD (данных) после высокого уровня XUMC_CLK	1.5	-	
$t_{su(NWAITV-CLKH)}$	Длительность действительного XUMC_NWAIT до высокого уровня XUMC_CLK	6.5	-	
$t_{h(CLKH-NWAITV)}$	Длительность действительного XUMC_NWAIT после высокого уровня XUMC_CLK	1	-	

Примечания:

1. *V_{DD_IO} = 3.3V, C_L = 15pF*
2. *Получены на основании комплексной оценки, в ходе производства не проверяются*

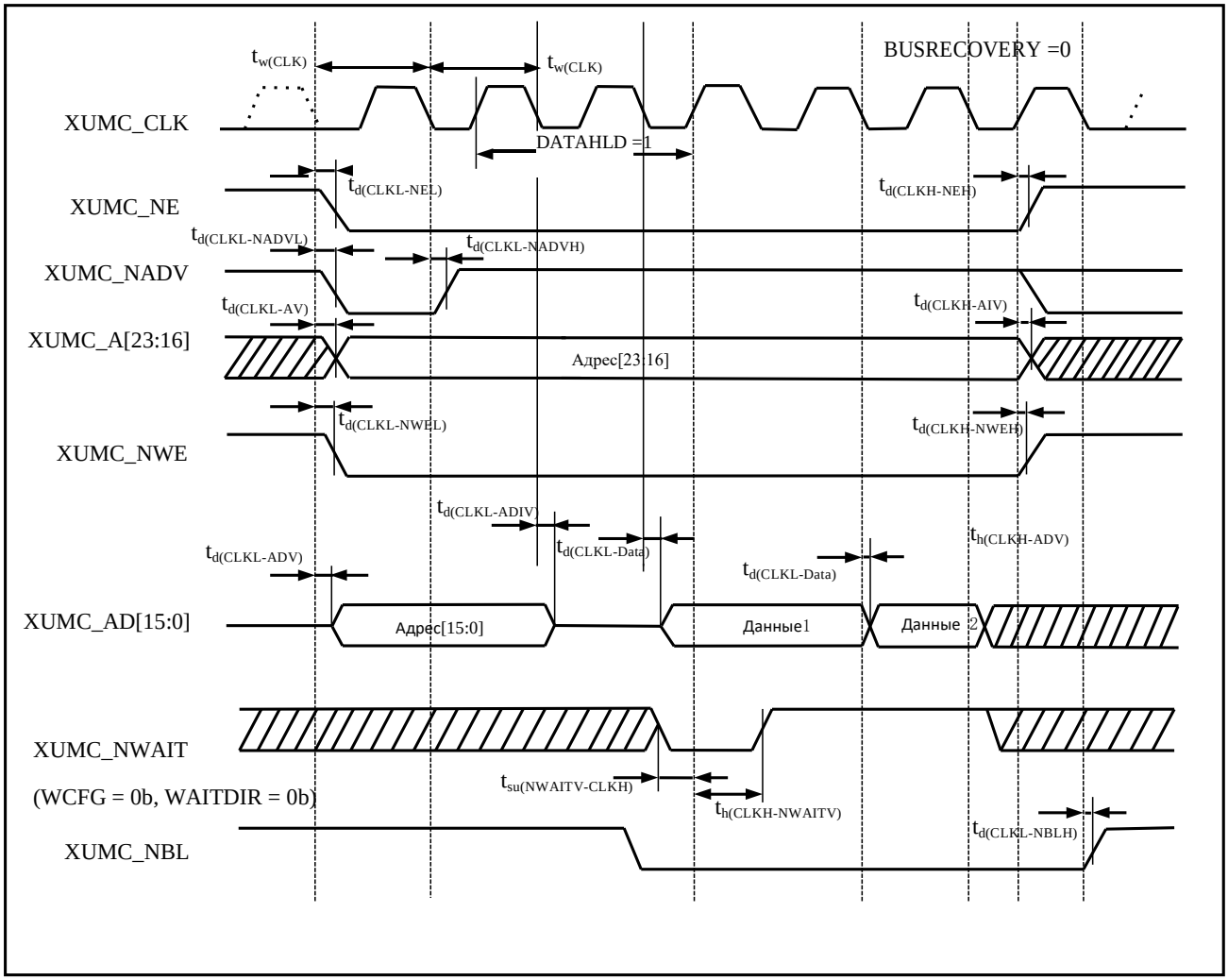


Рис. 4.12 – Временная диаграмма записи в PSRAM в синхронном режиме с мультиплексированием

Табл. 4-28 – Временные характеристики записи в PSRAM в синхронном режиме с мультиплексированием (1)(2)

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
$t_{w(CLK)}$	Период XUMC_CLK	27.7	-	нс
$t_{d(CLKL-NEL)}$	Длительность низкого уровня XUMC_CLK до установления низкого уровня XUMC_NE	-	5	
$t_{d(CLKH-NEH)}$	Длительность высокого уровня XUMC_CLK до установления высокого уровня XUMC_NE	-0.5	-	
$t_{d(CLKL-NADVL)}$	Длительность низкого уровня XUMC_CLK до установления низкого уровня XUMC_NADV	-	4.5	
$t_{d(CLKL-NADVH)}$	Длительность низкого уровня XUMC_CLK до установления высокого уровня XUMC_NADV	-0.5	-	
$t_{d(CLKL-AV)}$	Длительность низкого уровня XUMC_CLK до действительного XUMC_A (адреса)	-	0	
$t_{d(CLKH-AIV)}$	Длительность высокого уровня XUMC_CLK до недействительного XUMC_A (адреса)	0	-	
$t_{d(CLKL-NWEL)}$	Длительность низкого уровня XUMC_CLK до установления низкого уровня XUMC_NWE	-	6	
$t_{d(CLKH-NWEH)}$	Длительность высокого уровня XUMC_CLK до установления высокого уровня XUMC_NWE	0	-	
$t_{d(CLKL-ADV)}$	Длительность низкого уровня XUMC_CLK до действительного XUMC_AD (адреса)	-	10	
$t_{d(CLKL-ADIV)}$	Длительность низкого уровня XUMC_CLK до недействительного XUMC_AD (адреса)	1.5	-	
$t_{d(CLKL-Data)}$	Длительность действительного XUMC_AD (данных) после низкого уровня XUMC_CLK	-	6	
$t_{su(NWAITV-CLKH)}$	Длительность действительного XUMC_NWAIT до вы-	6.5	-	

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
	сокого уровня XUMC_CLK			
$t_{h(CLKH-NWAITV)}$	Длительность действительного XUMC_NWAIT после высокого уровня XUMC_CLK	1	-	
$t_{d(CLKL-NBLH)}$	Длительность высокого уровня XUMC_CLK до установления высокого уровня XUMC_NBL	1.5	-	

Примечания:

1. *V_{DD_IO} = 3.3V, C_L = 15pF*
2. *Получены на основании комплексной оценки, в ходе производства не проверяются*

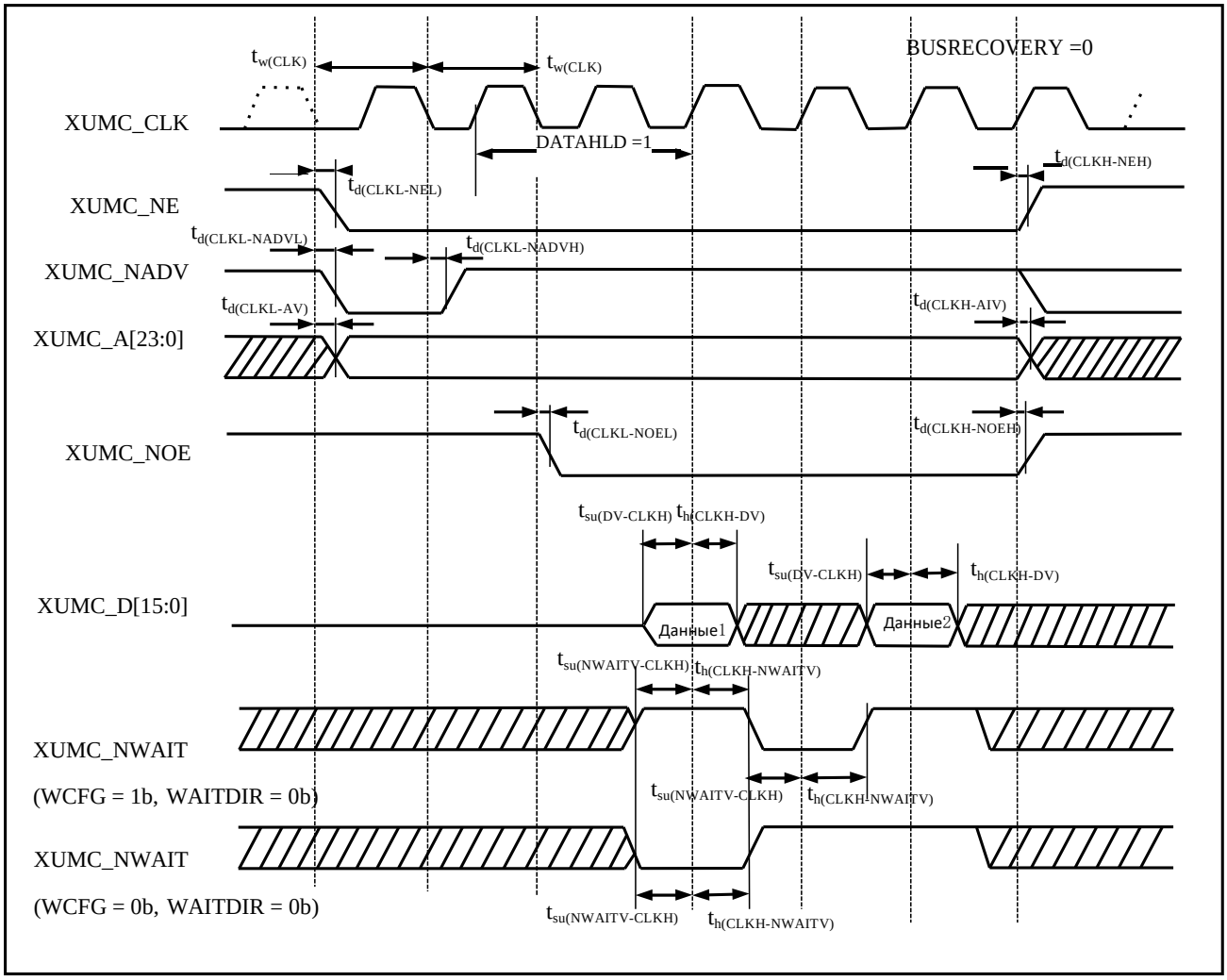


Рис. 4.13 – Временная диаграмма чтения из PSRAM/NOR в синхронном режиме без мультиплексирования

Табл. 4-29 – Временные характеристики чтения из PSRAM/NOR в синхронном режиме с мультиплексированием (1)(2)

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
$t_{w(CLK)}$	Период XUMC_CLK	27.7	-	нс
$t_{d(CLKL-NEL)}$	Длительность низкого уровня XUMC_CLK до установления низкого уровня XUMC_NE	-	5	
$t_{d(CLKH-NEH)}$	Длительность высокого уровня XUMC_CLK до установления высокого уровня XUMC_NE	-0.5	-	
$t_{d(CLKL-NADVL)}$	Длительность низкого уровня XUMC_CLK до установления низкого уровня XUMC_NADV	-	4.5	
$t_{d(CLKL-NADVH)}$	Длительность низкого уровня XUMC_CLK до установления высокого уровня XUMC_NADV	-0.5	-	

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
$t_{d(CLKL-AV)}$	Длительность низкого уровня XUMC_CLK до действительного XUMC_A (адреса)	-	0	
$t_{d(CLKH-AIV)}$	Длительность высокого уровня XUMC_CLK до недействительного XUMC_A (адреса)	0	-	
$t_{d(CLKL-NOEL)}$	Длительность низкого уровня XUMC_CLK до установления низкого уровня XUMC_NOE	-	4.5	
$t_{d(CLKH-NOEH)}$	Длительность высокого уровня XUMC_CLK до установления высокого уровня XUMC_NOE	-0.5	-	
$t_{su(DV-CLKH)}$	Длительность действительного XUMC_D (данных) до высокого уровня XUMC_CLK	5.5	-	
$t_{h(CLKH-DV)}$	Длительность действительного XUMC_D (данных) после высокого уровня XUMC_CLK	1	-	
$t_{su(NWAITV-CLKH)}$	Длительность действительного XUMC_NWAIT до высокого уровня XUMC_CLK	6.5	-	
$t_{h(CLKH-NWAITV)}$	Длительность действительного XUMC_NWAIT после высокого уровня XUMC_CLK	1	-	

Примечания:

1. *V_{DD_IO} = 3.3V, C_L = 15pF*
2. *Получены на основании комплексной оценки, в ходе производства не проверяются*

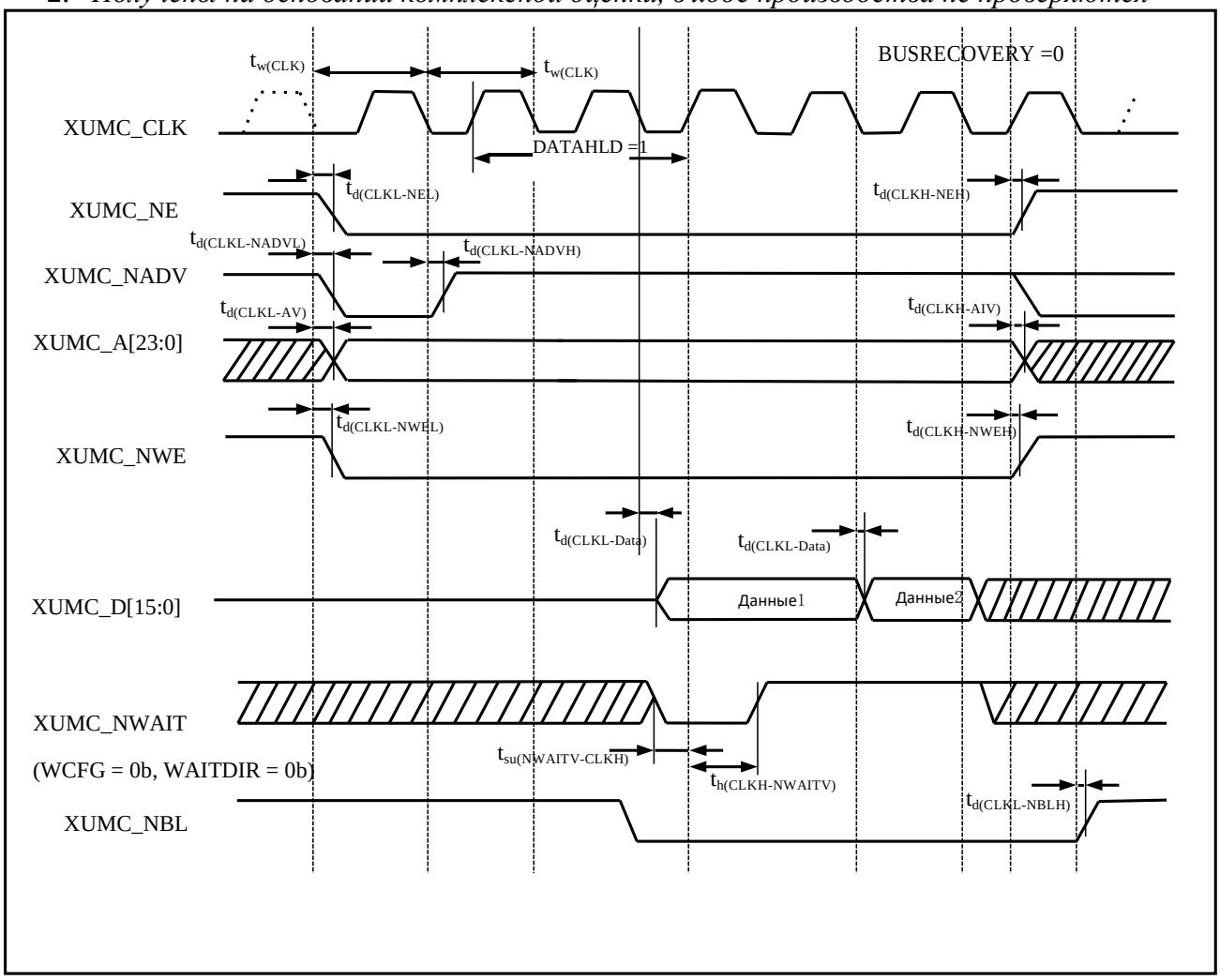


Рис. 4.14 – Временная диаграмма чтения из PSRAM/NOR в синхронном режиме без мультиплексирования

Табл. 4-30 – Временные характеристики записи в PSRAM в синхронном режиме без мультиплексирования (1)(2)

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
$t_{w(CLK)}$	Период XUMC_CLK	27.7	-	нс

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
$t_{d(CLKL-NEL)}$	Длительность низкого уровня XUMC_CLK до установления низкого уровня XUMC_NE	-	5	
$t_{d(CLKH-NEH)}$	Длительность высокого уровня XUMC_CLK до установления высокого уровня XUMC_NE	-0.5	-	
$t_{d(CLKL-NADVL)}$	Длительность низкого уровня XUMC_CLK до установления низкого уровня XUMC_NADV	-	4.5	
$t_{d(CLKL-NADVH)}$	Длительность низкого уровня XUMC_CLK до установления высокого уровня XUMC_NADV	-0.5	-	
$t_{d(CLKL-AV)}$	Длительность низкого уровня XUMC_CLK до действительного XUMC_A (адреса)	-	0	
$t_{d(CLKH-AIV)}$	Длительность высокого уровня XUMC_CLK до недействительного XUMC_A (адреса)	0	-	
$t_{d(CLKL-NWEL)}$	Длительность низкого уровня XUMC_CLK до установления низкого уровня XUMC_NWE	-	6	
$t_{d(CLKH-NWEH)}$	Длительность высокого уровня XUMC_CLK до установления высокого уровня XUMC_NWE	0	-	
$t_{d(CLKL-Data)}$	Длительность действительного XUMC_D (данных) после низкого уровня XUMC_CLK	-	6	
$t_{su(NWAITV-CLKH)}$	Длительность действительного XUMC_NWAIT до высокого уровня XUMC_CLK	6.5	-	
$t_{h(CLKH-NWAITV)}$	Длительность действительного XUMC_NWAIT после высокого уровня XUMC_CLK	1	-	
$t_{d(CLKL-NBLH)}$	Длительность высокого уровня XUMC_CLK до установления высокого уровня XUMC_NBL	1.5	-	

Примечания:

1. *V_{DD_IO} = 3.3V, C_L = 15pF*
2. *Получены на основании комплексной оценки, в ходе производства не проверяются*

4.3.10.3 Взаимодействие с NAND

На Рис. 4.15 – Рис. 4.18 изображены временные диаграммы взаимодействия XUMC и NAND, а в Табл. 4-31 даны соответствующие временные характеристики. Результаты, указанные таблице, были получены со следующей конфигурацией XUMC (значения соответствующих полей регистров):

- Время установки адреса перед переходом сигнала NWE/NOE в активное состояние (основная область памяти и область памяти атрибутов) = 0x1;
- Время удержания сигнала NWE/NOE для его подтверждения (основная область памяти и область памяти атрибутов) = 0x3;
- Время удержания адреса (и данных при записи) после перехода сигнала NWE/NOE в неактивное состояние (основная область памяти и область памяти атрибутов) = 0x2;
- Время удержания шины данных в высокоимпедансном состоянии после старта записи (основная область памяти и область памяти атрибутов) = 0x1;
- Разрядность шины данных 16 бит;
- Коррекция ошибок (ECC) включена;
- Размер страницы для коррекции ошибок 512 байт;
- Длительность низкого уровня сигнала CLE до установления низкого уровня RE;
- Длительность низкого уровня сигнала ALE до установления низкого уровня RE.

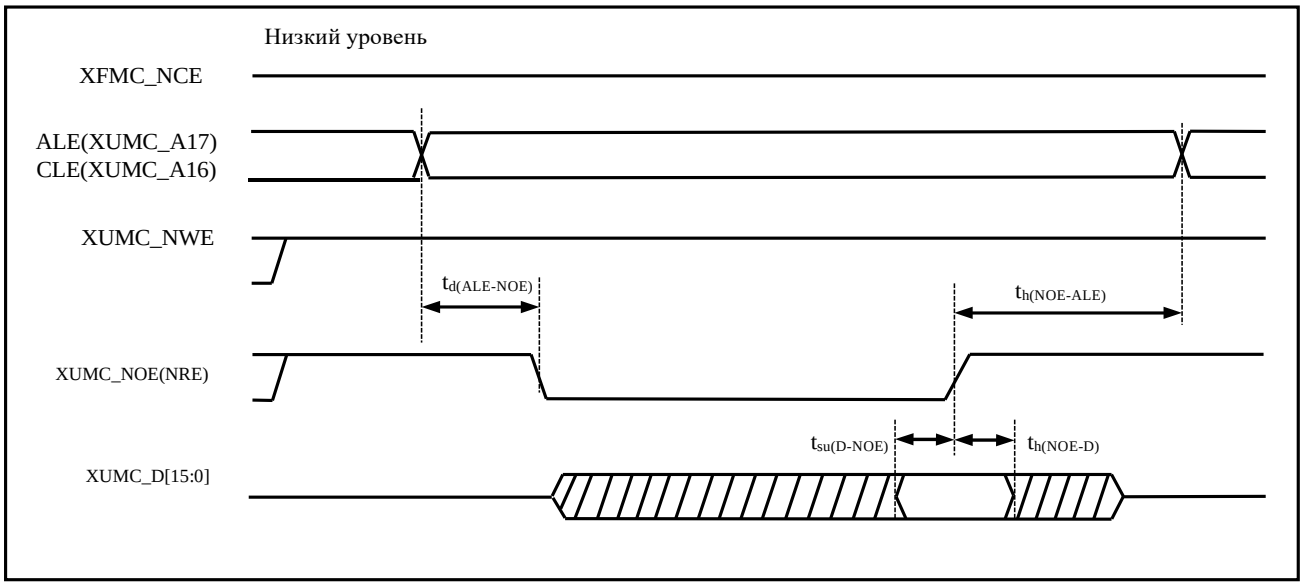


Рис. 4.15 – Временная диаграмма чтения из NAND

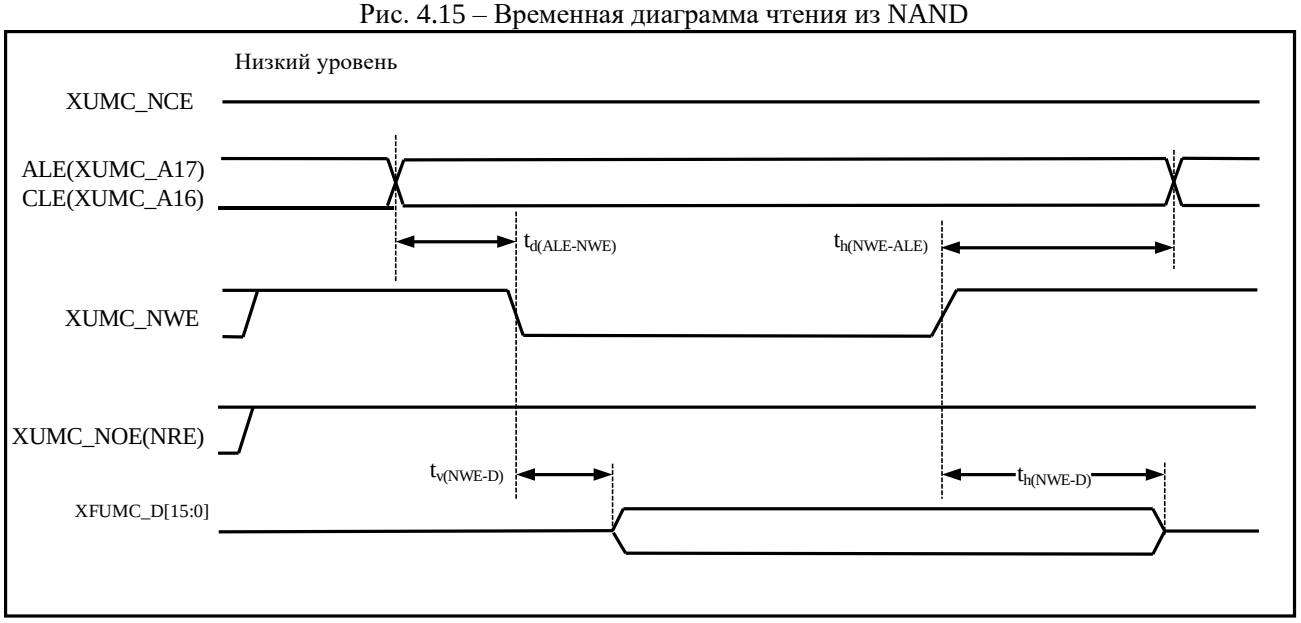


Рис. 4.16 – Временная диаграмма записи в NAND

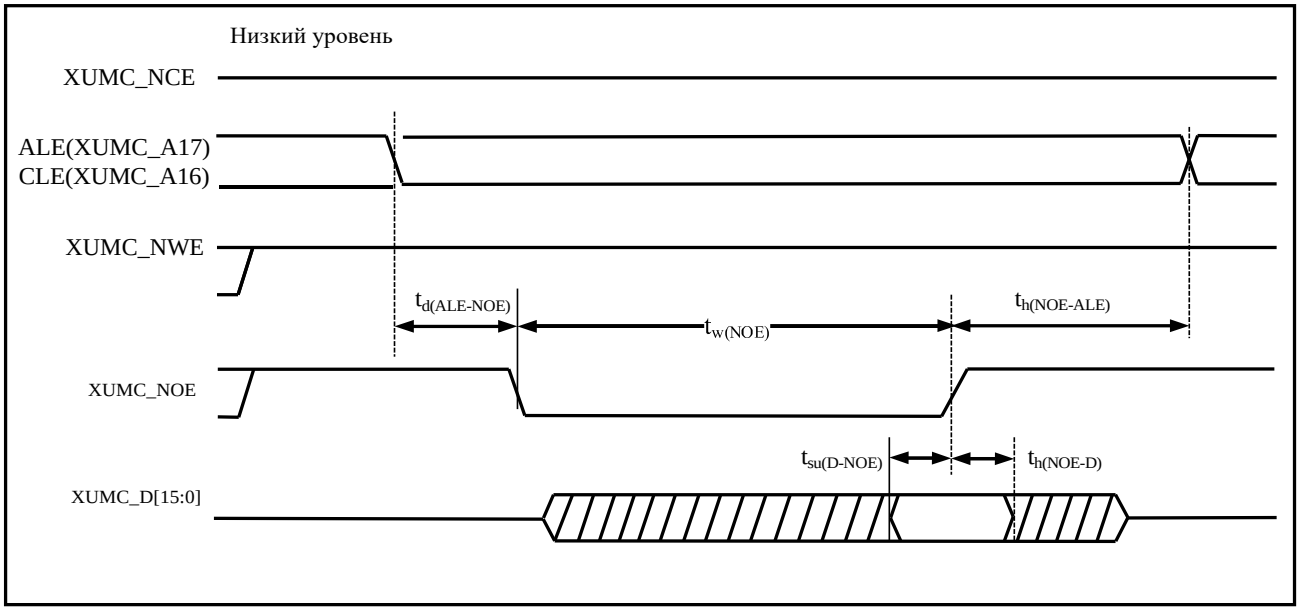


Рис. 4.17 – Временная диаграмма чтения из основной области NAND

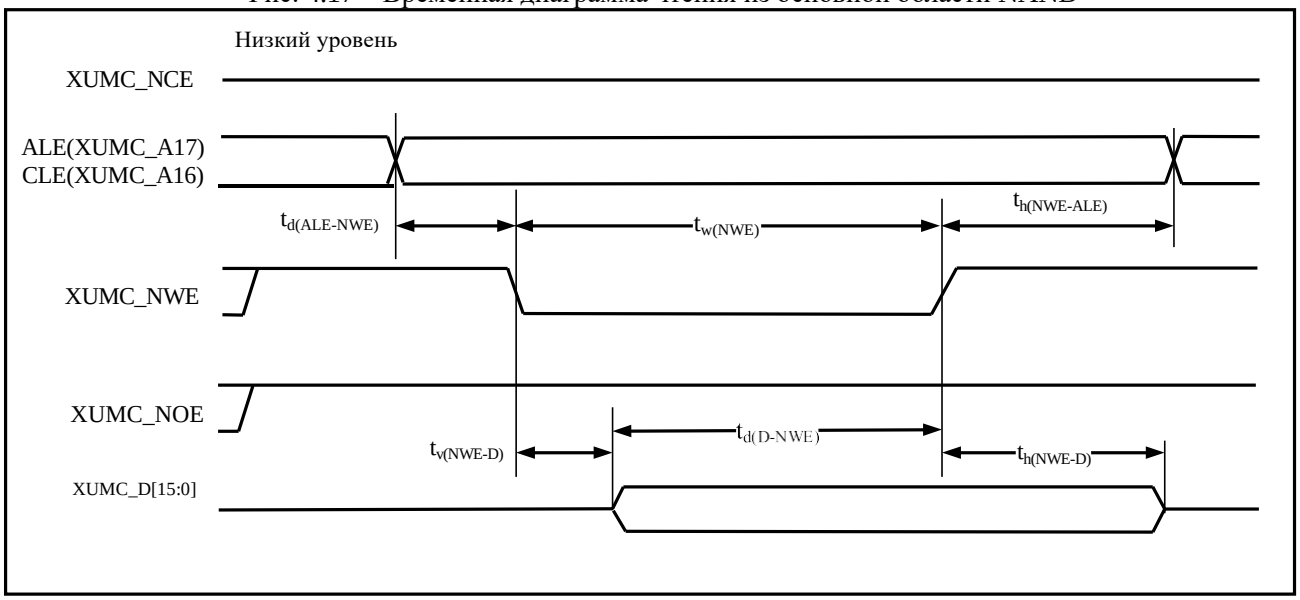


Рис. 4.18 – Временная диаграмма записи в основную область NAND

Табл. 4-31 – Временные характеристики записи в и чтения из NAND (1)

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
$t_{d(D-NWE)}$ (2)	Длительность действительного XUMC_D до высокого уровня XUMC_NWE	$5T_{HCLK} + 12$	-	нс
$t_{w(NOE)}$(2)	Длительность низкого уровня XUMC_NOE	$4T_{HCLK} – 1.5$	$4T_{HCLK} + 1.5$	
$t_{su(D-NOE)}$ (2)	Длительность действительного XUMC_D до высокого уровня XUMC_NOE	25	-	
$t_{h(NOE-D)}$(2)	Длительность действительного XUMC_D после высокого уровня XUMC_NOE	7	-	
$t_{w(NWE)}$(2)	Длительность низкого уровня XUMC_NWE	$4T_{HCLK} – 1$	$4T_{HCLK} + 1$	
$t_{v(NWE-D)}$(2)	Длительность низкого уровня XUMC_NWE до действительного XUMC_D	-	0	
$t_{h(NWE-D)}$(2)	Длительность высокого уровня XUMC_NWE до недействительного XUMC_D	$2T_{HCLK} + 4$	-	
$t_{d(ALE-NWE)}$(3)	Длительность действительного XUMC_ALE до низкого уровня XUMC_NWE	-	$3T_{HCLK} + 1.5$	
$t_{h(NWE-ALE)}$(3)	Длительность высокого уровня XUMC_NWE до недействительного XUMC_ALE	$3T_{HCLK} + 4.5$		
$t_{d(ALE-NOE)}$(3)	Длительность действительного XUMC_ALE до низкого	-	$3T_{HCLK} + 2$	

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
	уровня XUMC_NOE			
$t_{h(NOE-ALE)}$(3)	Длительность высокого уровня XUMC_NOE до недействительного XUMC_ALE	$3T_{HCLK}$ + 4.5	-	

Примечания:

1. *V_{DD_IO} = 3.3V, C_L = 15pF*
2. *Получены на основании комплексной оценки, в ходе производства не проверяются*
3. *Гарантируется конструкцией, не проверяется при производстве.*

4.3.11 Электромагнитная совместимость (ЭМС)

Тесты на восприимчивость выполняются на образцах во время комплексной оценки.

4.3.11.1 Функциональная ЭМС (электромагнитная восприимчивость)

Во время выполнения программы (переключения 2-х светодиодов), микроконтроллер подвергается воздействию двух электромагнитных явления до тех пор, пока не произойдет отказ, на который указывают светодиоды:

- Все контакты подвергаются электростатическому разряду (ЭСР) (положительному и отрицательному) до тех пор, пока не произойдет отказ. Этот тест соответствует стандарту IEC 61000-4-2;
- Наносекундные импульсные помехи (НИП) (положительные и отрицательные) подаются на V_{DD} и V_{SS} через конденсатор емкостью 100 пФ до тех пор, пока не произойдет отказ. Этот тест соответствует стандарту IEC 61000-4-4.

Сброс микроконтроллера позволяет возобновить его нормальную работу.

Результаты испытаний приведены в таблице ниже.

Табл. 4-32 – Характеристики ЭМС

Условное обозначение	Параметр	Условие	Значение	Ед. изм.
V_{FESD}	Напряжение, которое должны применяться к любому контакту ввода-вывода, чтобы вызвать отказ	V_{DD} = 3.3 В, T_A = +25 °C, f_{HCLK} = 144 МГц, Соответствует стандарту IEC 61000-4-2	2	В
V_{EFTB}	Ток НИП, приводящий к отказу	V_{DD} = 3.3 В, T_A = +25 °C, f_{HCLK} = 144 МГц, Соответствует стандарту IEC 61000-4-4	2	А

4.3.11.2 Электромагнитные помехи (EMI)

Электромагнитное поле, излучаемое устройством, отслеживается во время выполнения программы (переключения 2-х светодиодов). Этот тест соответствует стандарту SAE J1752/3.

Табл. 4-33 – Характеристики EMI

Условное обозначение	Параметр	Условие	Контролируемая полоса частот	Максимум (f_{HSE}/f_{HCLK})		Ед. изм.
				8/48 МГц	8/72 МГц	
S_{EMI}	Пиковый уровень	V_{DD} = 3.3 В, T_A = +25 °C, соответствует стандарту SAE J1752/3	От 0.1 до 30 МГц	8	12	дБмкВ
			От 30 до 130 МГц	31	21	
			От 130 МГц до 1 ГГц	28	33	
			Уровень EMI	4	4	-

4.3.12 Характеристики электрической чувствительности

На основе трех различных тестов (ESD, LU) с использованием конкретных методов измерения микроконтроллер подвергается нагрузке, чтобы определить его характеристики с точки зрения электрической чувствительности.

4.3.12.1 Электростатический разряд

Электростатический разряд (положительный импульс, за которым с интервалом в одну секунду следует отрицательный импульс) подавался на все выводы всех образцов, при этом его сила подбиралась в зависимости от количества выводов питания микроконтроллера (3 штуки * (n + 1) выводов питания).

Данное испытание соответствует стандарту JESD22-A114/-C101.

Табл. 4-34 – Предельно допустимые значения электростатического разряда

Условное обозначение	Параметр	Условие	Тип	Мин. (1)	Ед. изм.
$V_{ESD\ (МЧТ)}$	Напряжение электростатического разряда (модель человеческого тела)	T_A = +25 °C, Соответствует стандарту MIL-STD-883K, методика 3015.9	3A	4000	В
$V_{ESD\ (МЗУ)}$	Напряжение электростатического разряда (модель заряженного устройства)	T_A = +25 °C, Соответствует стандарту ESDA/JEDEC JS-002-2018	C3	1000	

Примечания:

1. *Получены на основании комплексной оценки, в ходе производства не проверяются.*

4.3.12.2 Статический эффект защелкивания (latch-up)

Для оценки данного параметра выполняются два теста:

- Перенапряжение подается на каждый контакт питания;
- Каждый вход, выход и настраиваемый вывод портов ввода/вывода подвергается инжекции тока.

Данные тесты соответствуют стандарту EIA/JESD 78E.

Табл. 4-35 – Электрическая чувствительность

Условное обозначение	Параметр	Условие	Класс
LU	Класс статического latch-up	T_A = +105 °C, Соответствует стандарту EIA/JESD 78E	Класс II уровень A

4.3.13 Характеристики порта ввода/вывода

4.3.13.1 Общие характеристики ввода/вывода

Если не указано иное, параметры, перечисленные в Табл. 4-36, измеряются в соответствии с условиями, указанными в Табл. 4-4. Все порты ввода/вывода обеспечивают совместимость с

КМОП и ТТЛ.

Табл. 4-36 – Статические характеристики ввода/вывода

Условное обозначение	Параметр	Условие	Мин.	Макс.	Ед. изм
V_{IL}	Входное напряжение низкого уровня	V_{DD} = 3,3 В	V_{SS}	0,8	В
		V_{DD} = 2,5 В	V_{SS}	0,7	
		V_{DD} = 1,8 В	V_{SS}	0,3* V_{DD}	
V_{IH}	Входное напряжение высокого уровня	V_{DD} = 3,3 В	2	V_{DD}	
		V_{DD} = 2,5 В	1,7	V_{DD}	
		V_{DD} = 1,8 В	0,7*V_{DD}	V_{DD}	
V_{hys}	Гистерезис триггера Шмитта (1)	V_{DD} = 3,3 В	200	-	мВ
		V_{DD} = 2,5 В	200	-	
		V_{DD} = 1,8 В	0,1*V_{DD}(2)	-	
I_{lkg}	Ток утечки на входе (3)	V_{DD} = максимальное V_{PAD} = 0 или V_{PAD} = V_{DD} (5)	-1	1	мкА
R_{PU}	Слабый подтягивающий эквивалентный резистор (4)	V_{IN} = V_{IH}	100	160	кОм
R_{PD}	Слабый стягивающий эквивалентный резистор (4)	V_{IN} = V_{IL}	100(6)	160(6)	кОм
C_{IO}	Емкость вводов/выводов		-	0,1	пФ

Примечания:

1. *Напряжение гистерезиса для уровней переключения триггера Шмитта. Получены на основании комплексной оценки, в ходе производства не проверяются.*
2. *Не менее 100 мВ.*
3. *Ток утечки может быть выше максимального значения при наличии обратного тока на соседних выводах.*
4. *Подтягивающие резисторы и стягивающие резисторы – p-канальные МОП-транзисторы (PMOS)/n-канальные МОП-транзисторы (NMOS) с возможностью переключения.*
5. *V_{PAD} относится к входному напряжению ввода/вывода.*
6. *PA11, PA12, PA14, PB2 в этот диапазон не входят.*

Все порты ввода/вывода обеспечивают совместимость с КМОП и ТТЛ (не требуют программной настройки), а их характеристики учитывают самые строгие параметры КМОП и ТТЛ

4.3.13.2 Выходной управляющий ток

Порты GPIO (порты ввода/вывода общего назначения) могут потреблять или выдавать ток до +/-12 мА. В пользовательском приложении количество контактов ввода-вывода, которые могут управлять током, должно быть ограничено, чтобы соблюдать предельно допустимые значения, указанные в разделе 4.2:

– Суммарный ток, потребляемый всеми портами ввода/вывода от вывода V_{DD}, плюс максимальный рабочий ток, потребляемый микроконтроллером от вывода V_{DD}, не

должен превышать предельно допустимое значение I_{VDD} (Табл. 4-2).

– Суммарный ток, потребляемых всеми портами ввода/вывода от вывода V_{SS}, плюс максимальный рабочий ток, потребляемый микроконтроллером от вывода V_{SS}, не должен превышать абсолютное предельно допустимое значение I_{VSS} (Табл. 4-2).

4.3.13.3 Выходное напряжение

Если не указано иное, параметры, перечисленные в Табл. 4-37, измеряются при температуре окружающей среды и напряжении питания V_{DD} в соответствии с условиями, указанными в Табл. 4-4. Все порты ввода/вывода обеспечивают совместимость с КМОП и ТТЛ.

Табл. 4-37 – Таблица параметров управления вводом/выводом

Класс управления	I_{OH}, VDD = 3,3 В	I_{OL}, VDD = 3,3 В	I_{OH}, VDD = 2,5 В	I_{OL}, VDD = 2,5 В	I_{OH}, VDD = 1,8 В	I_{OL}, VDD = 1,8 В	Ед. изм.
2	-2	2	-1,5	1,5	-1	1	мА
4	-4	4	-3	3	-2	2	мА
8	-8	8	-7	7	-5	5	мА
12	-12	12	-11	11	-7	8	мА

Примечания:

1. *Класс управления задается с помощью регистра GPIOx_DS_CFG в паре с полем PMODEy регистра GPIOx_PH_CFG/GPIOx_PL_CFG*

Табл. 4-38 – Характеристики выходного напряжения

Условное обозначение	Параметр	Условие	Мин.	Макс.	Ед. изм.
V_{OL}(1)	выходной сигнал низкого уровня	V_{DD} = 3,3 В, I_{OH} = 2 мА / 4 мА / 8 мА / 12 мА	V_{SS}	0,4	В
		V_{DD} = 2,5 В, I_{OH} = 2 мА / 4 мА / 8 мА / 12 мА	V_{SS}	0,4	
		V_{DD} = 1,8 В, I_{OH} = 2 мА / 4 мА / 8 мА / 12 мА	V_{SS}	0,2*V_{DD}	
V_{OH}(2)	выходной сигнал высокого уровня	V_{DD} = 3,3 В, I_{OH} = -2 мА / -4 мА / -8 мА / -12 мА	2,4(4)	V_{DD}	
		V_{DD} = 2,5 В, I_{OH} = -2 мА / -4 мА / -8 мА / -12 мА	1,8(4)	V_{DD}	
		V_{DD} = 1,8 В, I_{OH} = -2 мА / -4 мА / -8 мА / -12 мА	0,8*V_{DD}	V_{DD}	

Примечания:

1. *Ток I_{IO}, потребляемый микроконтроллером, всегда должен соответствовать предельно допустимым значениям, указанным в Табл. 4-2, при этом сумма значений I_{IO} (все вводы/выводы и управляющие выводы) не должна превышать I_{VSS}.*
2. *Ток I_{IO}, выдаваемый микроконтроллером, всегда должен соответствовать предельно допустимым значениям, указанным в Табл. 4-2, при этом сумма значений I_{IO} (все вводы/выводы и управляющие выводы) не должна превышать I_{VDD}.*
3. *Значения получены на основании комплексной оценки, в ходе производства не проверяются.*
4. *PC13, PC14, PC15 в этот диапазон не входят.*

4.3.13.4 Характеристики входного и выходного переменного тока

Определения и значения характеристик входного и выходного переменного тока приведены в Табл. 4-39. Если не указано иное, параметры, перечисленные в Табл. 4-39, измеряются при температуре окружающей среды и напряжении питания в соответствии с условиями, указанными в Табл. 4-4.

Табл. 4-39 – Характеристики входного и выходного изменяющегося тока (1)

Конфигурация DS_CFGy и PMODEy[1:0]	Условное обозначение	Параметр	Условие	Мин.	Макс.	Ед. изм.
0 xx (2 мА)	$f_{max(IO)out}$	максимальная частота (2)	C_L = 5 пФ, V_{DD} = 3,3 В	-	75	МГц
			C_L = 5 пФ, V_{DD} = 2,5 В	-	50	
			C_L = 5 пФ, V_{DD} = 1,8 В	-	30	
	$t_{(IO)out}$	задержка на выходе	C_L = 5 пФ, V_{DD} = 3,3 В	-	3,66	нс
			C_L = 5 пФ, V_{DD} = 2,5 В	-	4,72	
			C_L = 5 пФ, V_{DD} = 1,8 В	-	7,12	
	$t_{(IO)in}$	задержка на входе	C_L = 50 фФ, V_{DD} = 2,97 В, V_{DDD} = 0,81 В входные характеристики при 1,8 В и 2,5 В понижены	-	2	нс
1 0x (4 мА)	$f_{max(IO)out}$	максимальная частота (2)	C_L = 10 пФ, V_{DD} = 3,3 В	-	90	МГц
			C_L = 10 пФ, V_{DD} = 2,5 В	-	60	
			C_L = 10 пФ, V_{DD} = 1,8 В	-	40	
	$t_{(IO)out}$	задержка на выходе	C_L = 10 пФ, V_{DD} = 3,3 В	-	3,5	нс
			C_L = 10 пФ, V_{DD} = 2,5 В	-	4,5	
			C_L = 10 пФ, V_{DD} = 1,8 В	-	6,74	
	$t_{(IO)in}$	задержка на входе	C_L = 50 фФ, V_{DD} = 2,97 В, V_{DDD} = 0,81 В входные характеристики при 1,8 В и 2,5 В понижены	-	2	
1 10 (8 мА)	$f_{max(IO)out}$	максимальная частота (2)	C_L = 20 пФ, V_{DD} = 3,3 В	-	100	МГц
			C_L = 20 пФ, V_{DD} = 2,5 В	-	75	
			C_L = 20 пФ, V_{DD} = 1,8 В	-	50	
	$t_{(IO)out}$	задержка на выходе	C_L = 20 пФ, V_{DD} = 3,3 В	-	3,42	нс
			C_L = 20 пФ, V_{DD} = 2,5 В	-	4,73	
			C_L = 20 пФ, V_{DD} = 1,8 В	-	6,53	
	$t_{(IO)in}$	задержка на входе	C_L = 50 фФ, V_{DD} = 2,97 В, V_{DDD} = 0,81 В входные характеристики при 1,8 В и 2,5 В понижены	-	2	
1 11 (12 мА)	$f_{max(IO)out}$	максимальная частота (2)	C_L = 30 пФ, V_{DD} = 3,3 В	-	120	МГц
			C_L = 30 пФ, V_{DD} = 2,5 В	-	90	
			C_L = 30 пФ, V_{DD} = 1,8 В	-	60	
	$t_{(IO)out}$	задержка на выходе	C_L = 30 пФ, V_{DD} = 3,3 В	-	3,34	нс
			C_L = 3 пФ, V_{DD} = 2,5 В	-	4,26	
			C_L = 3 пФ, V_{DD} = 1,8 В	-	6,34	
	$t_{(IO)in}$	задержка на входе	C_L = 50 фФ, V_{DD} = 2,97 В, V_{DDD} = 0,81 В входные характеристики при 1,8 В и 2,5 В понижены	-	2	

Примечание:

1. *Порт ввода/вывода может быть настроен посредством DS_CFGy и PMODEy[1:0]. См. описание регистров конфигурации портов ввода/вывода общего назначения в НЛПР.431290.001 РЭ2 (Руководство по эксплуатации - часть2).*
2. *Гарантируется конструкцией, не проверяется при производстве.*

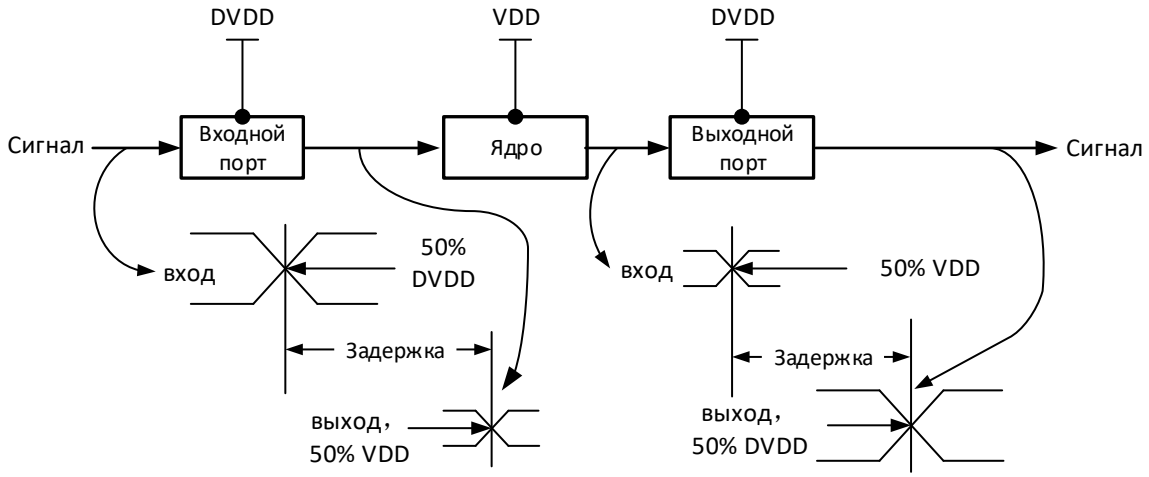


Рис. 4.19 – Характеристики входного и выходного переменного тока

4.3.14 Характеристики вывода NRST

Входной драйвер вывода NRST построен по технологии КМОП. К нему подключен подтягивающий резистор R_{PU} (см. Табл. 4-36), который нельзя отключить программно. Если не указано иное, параметры, перечисленные в Табл. 4-40 измеряются при температуре окружающей среды и напряжении питания в соответствии с условиями, указанными в Табл. 4-4.

Табл. 4-40 – Характеристики вывода NRST

Условное обозначение	Параметр	Условие	Мин.	Тип.	Макс.	Ед.изм
$V_{IL(NRST)}$ (1)	Входное напряжение низкого уровня NRST	V_{DD} = 3,3 В	V_{SS}	-	0,8	В
$V_{IH(NRST)}$ (1)	Входное напряжение высокого уровня NRST	V_{DD} = 3,3 В	2	-	V_{DD}	
$V_{hys(NRST)}$	Гистерезис триггера Шмитта NRST	-	-	100	-	мВ
R_{PU}	Слабый подтягивающий эквивалентный резистор (2)	$V_{IN} = V_{IH}$	30	50	70	кОм
$V_{F(NRST)}$ (1)	Входной фильтрованный импульс NRST	-	-	-	100	нс
$VNF_{(NRST)}$ (1)	Входной нефильтрованный импульс NRST	-	300	-	-	нс

Примечания:

1. *Гарантируется конструкцией, не проверяется при производстве.*
2. *Подтягивающий резистор – PMOS-транзистор с возможностью переключения. Сопротивление этого PMOS/NMOS-переключателя невелико (около 10%).*

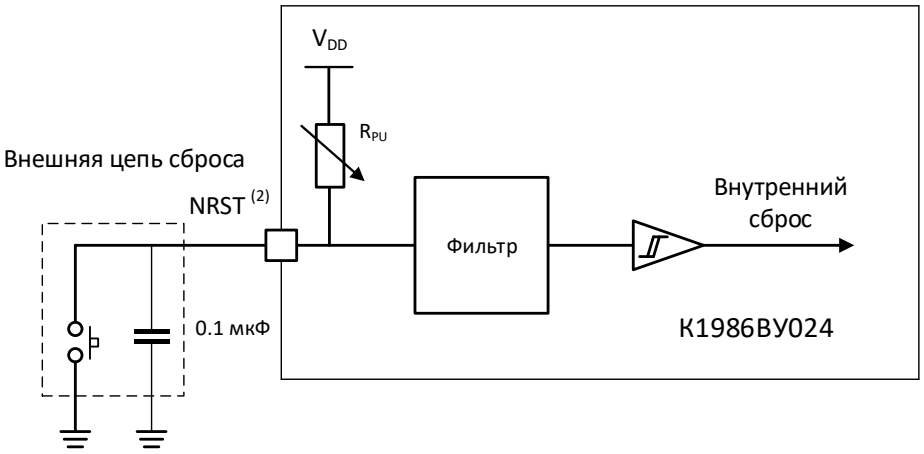


Рис. 4.20 – Типовая схема подключения вывода NRST

Примечания:

1. *Внешний конденсатор предназначена для предотвращения дребезга.*
2. *Пользователь должен убедиться в том, что уровень на выводе NRST может опускаться ниже максимального значения $V_{IL(NRST)}$, указанного в Табл. 4-40, иначе сброс микроконтроллера будет невозможен.*

4.3.15 Характеристики таймера TIM

Для получения подробной информации о характеристиках вводов/выводов в режиме альтернативной функции (сравнение выходного сигнала, захвата входного сигнала, внешний тактовый сигнал, выходной ШИМ-сигнал) см. раздел 4.3.13. Характеристики таймера TIM приведены в Табл. 4-41.

Табл. 4-41 – Характеристики TIMx(1)

Условное обозначение	Параметр	Условие	Мин.	Макс.	Ед. изм.
$t_{res(TIM)}$	Разрядность таймера, выраженная временем		1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 144 МГц	6,95	-	нс
f_{EXT}	Частота внешнего тактового сигнала таймера для каналов с 1 по 4		0	$f_{TIMxCLK}/2$	МГц
		$f_{TIMxCLK}$ = 144 МГц	0	72	МГц
Res(TIM)	Разрядность таймера		-	16	бит
$t_{COUNTER}$	Тактовый цикл 16-разрядного счетчика при выборе внутреннего тактового сигнала		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 144 МГц	0,00695	455	мкс
t_{MAX_COUNT}	Максимально возможный отсчет		-	65536x65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 144 МГц	-	29,8	с

Примечания:

1. *Значения в таблице гарантируются конструкцией.*
2. *TIMx – это общее обозначение для TIM1 - TIM8.*

4.3.16 Характеристики контроллера интерфейса I2C

Если не указано иное, параметры, перечисленные в Табл. 4-42, измеряются при температуре окружающей среды, частоте f_{PCLK1} и напряжении питания V_{DD} в соответствии с условиями, ука-

занными в Табл. 4-4.

Контроллер интерфейса I2C соответствует поддерживает стандартный протокол обмена данными I2C, но имеет следующие ограничения: SDA и SCL не являются «истинными» выводами с открытым стоком. Когда вывод сконфигурирован как выход с открытым стоком, PMOS, подключенный между контактом ввода-вывода $V_{DD,}$ отключён, но все еще присутствует.

Характеристики контроллера интерфейса I2C перечислены в Табл. 4-42, а подробная информация о характеристиках вводов/выводов в режиме альтернативной функции (SDA и SCL) изложена в разделе 4.3.13.

Табл. 4-42 – Характеристики контроллера интерфейса I2C

Усл. обозначение	Параметр	Стандартный режим		Быстрый режим		Сверхбыстрый режим		Ед. изм.
		Мин.	Макс.	Мин.	Макс.	Мин.	Макс.	
f_{SCL}	Частота интерфейса I2C	0,0	100	0	400	0	1000	кГц
$t_{h(STA)}$	Время удержания сигналов при старте передачи	4,0	-	0,6	-	0,26	-	мкс
$t_{w(SCLL)}$	Время тактового сигнала SCL низкого уровня	4,7	-	1,3	-	0,5	-	мкс
$t_{w(SCLH)}$	Время тактового сигнала SCL высокого уровня	4,0	-	0,6	-	0,26	-	мкс
$t_{su(STA)}$	Время удержания сигналов при повторной передаче	4,7	-	0,6	-	0,26	-	мкс
$t_{h(SDA)}$	Время удержания данных SDA	-	3,4	-	0,9	-	0,4	мкс
$t_{su(SDA)}$	Время установления SDA	250	-	100	-	50	-	нс
$t_{r(SDA)}$ $t_{r(SCL)}$	Время нарастания сигнала SDA и SCL	-	1000	20	300	-	120	нс
$t_{f(SDA)}$ $t_{f(SCL)}$	Время спада сигнала SDA и SCL	-	300	20	300	-	120	нс
$t_{su(STO)}$	Время установления сигналов для окончания передачи	4,0	-	0,6	-	0,26	-	мкс
$t_{w(STO;STA)}$	Время от условия остановки до условия запуска (простой шины)	4,7	-	1,3	-	0,5	-	мкс
Cb	Емкостная нагрузка на шину	-	400	-	400	-	100	пФ
$t_{v(SDA)}$	Время достоверности данных	3,45	-	0,9	-	0,45	-	мкс
$t_{v(ACK)}$	Время достоверности подтверждения	3,45	-	0,9	-	0,45	-	мкс

Примечания:

1. *Гарантируется конструкцией, не проверяется при производстве.*
2. *Для достижения максимальной частоты стандартного режима интерфейса I2C, f_{PCLK1} должна быть выше 2 МГц. Для достижения максимальной частоты быстрого режима интерфейса I2C, f_{PCLK1} должна быть выше 4 МГц.*
3. *При напряжении внешнего питания 2,0 В и температуре 85 °С интерфейс I2C способен обеспечивать непрерывный и стабильный обмен данными в течение длительного времени. При напряжении внешнего питания менее 2,0 В или температуре выше 85 °С возможно прерывание обмена данными. Необходимо выполнить сброс модуля I2C и про-*

должить обмен данными.

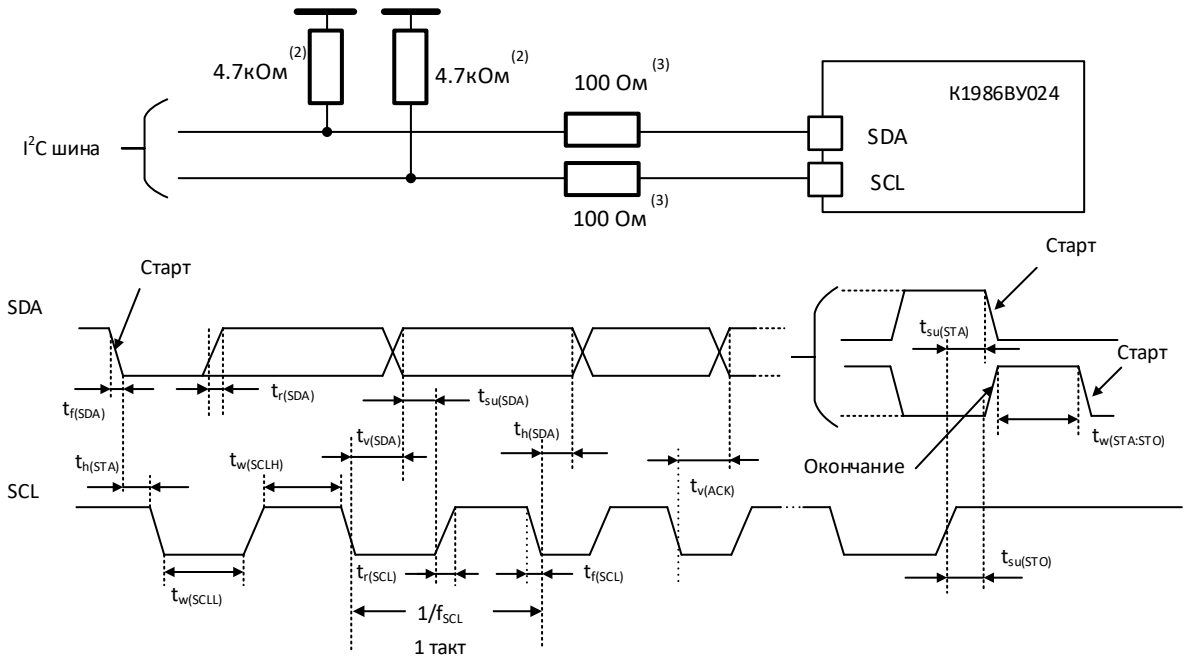


Рис. 4.21 – Сигнал шины I2C и схема измерения (1)

Примечания:

1. *Точки измерения задаются на уровнях КМОП: 0,3VDD и 0,7VDD.*
2. *Номинал подтягивающего резистора зависит от скорости работы интерфейса I2C.*
3. *Значение сопротивления зависит от фактических электрических характеристик. Сопротивление может быть не подключено, при этом сигнальная линия должна быть подключена напрямую.*

4.3.17 Характеристики контроллера интерфейса SPI/I2S

Если не указано иное, параметры контроллера интерфейса SPI, перечисленные в Табл. 4-43, Табл. 4-44, а также параметры интерфейса I2S, перечисленные в Табл. 4-45, измеряются при температуре окружающей среды, частоте f_{PCLKx} и напряжении питания V_{DD} в соответствии с условиями, указанными в Табл. 4-4.

Подробное описание характеристик вводов/выводов в режиме альтернативной функции (NSS, SCLK, MOSI, MISO для SPI, WS, CLK, SD для I2S) приводится в разделе 4.3.13.

Табл. 4-43 – Характеристики контроллера интерфейса SPI1 (1)

Условное обозначение	Параметр	Условие	Мин.	Макс.	Ед. изм.
f_{SCLK} $1/t_{c(SCLK)}$	Тактовая частота SPI	режим «ведущий»	-	36	МГц
		режим «ведомый»	-	36	
$t_{r(SCLK)}t_{f(SCLK)}$	Время нарастания и спада тактового сигнала SPI	Нагрузочная емкость: C = 30 пФ	-	6	нс
DuCy(SCK)	Коэффициент заполнения входного тактового сигнала	режим «ведомый»	30	70	
$t_{su(NSS)}$	Время установления NSS	режим «ведомый»	$4t_{PCLK}$	-	нс
$t_{h(NSS)}$	Время удержания NSS	режим «ведомый»	$2t_{PCLK}$	-	нс
$t_{w(SCLKH)}$ $t_{w(SCLKL)}$	Длительность сигнала SCLK высокого и низкого уровней	режим «ведущий»	t_{PCLK} - 2	t_{PCLK} + 2	нс
$t_{su(MI)}$	Время установления данных на входе	режим «ведущий»	4	-	нс
$t_{su(SI)}$		режим «ведомый»	4	-	
$t_{h(MI)}$	Время удержания данных на входе	режим «ведущий»	3	-	нс
$t_{h(SI)}$		режим «ведомый»	3	-	
$t_{a(SO)}$(2)	Время доступа к данным на выходе	режим «ведомый»	0	$3t_{PCLK}$	нс
$t_{dis(SO)}$(3)	Время запрета вывода данных	режим «ведомый»	2	10	нс
$t_{v(SO)}$	Время достоверности вывода данных	Режим «ведомый» (после фронта захвата данных)	-	13	нс
$t_{v(MO)}$	Время достоверности вывода данных	Режим «ведущий» (после фронта захвата данных)	-	6,5	нс
$t_{h(SO)}$	Время удержания данных на выходе	Режим «ведомый» (после фронта захвата данных)	4	-	нс
$t_{h(MO)}$		Режим «ведущий» (после фронта захвата данных)	1	-	

Примечания:

1. *Получены на основании комплексной оценки, в ходе производства не проверяются.*
2. *Минимальное значение – минимальное время для управления выходом, а максимальное значение – максимальное время для корректного получения данных.*
3. *Минимальное значение – минимальное время для отключения выхода, а максимальное значение – максимальное время для перевода линии данных в высокоимпедансное состояние.*

Табл. 4-44 – Характеристики контроллера интерфейса SPI2/SPI3 (1)

Условное обозначение	Параметр	Условие	Мин.	Макс.	Ед. изм.
f_{SCLK} $1/t_{c(SCLK)}$	Тактовая частота SPI	режим «ведущий»	-	18	МГц
		режим «ведомый»	-	18	
$t_{r(SCLK)}t_{f(SCLK)}$	Время нарастания и спада тактового сигнала SPI	Нагрузочная емкость: C = 30 пФ	-	8	нс
DuCy(SCK)	Коэффициент заполнения входного тактового сигнала	режим «ведомый»	30	70	%
$t_{su(NSS)}$	Время установления NSS	режим «ведомый»	$4t_{PCLK}$	-	нс
$t_{h(NSS)}$	Время удержания	режим «ведомый»	$2t_{PCLK}$	-	нс

Условное обозначение	Параметр	Условие		Мин.	Макс.	Ед. изм.
	NSS					
$t_{w(SCLKH)}$ $t_{w(SCLKL)}$	Длительность сигнала SCLK высокого и низкого уровней	режим «ведущий»		t_{PCLK} - 2	t_{PCLK} + 2	нс
$t_{su(MI)}$	Время установления данных на входе	режим «ведущий»	SPI2	4	-	нс
			SPI3	5	-	
$t_{su(SI)}$		режим «ведомый»	SPI2	4	-	
			SPI3	5	-	
$t_{h(MI)}$	Время удержания данных на входе	режим «ведущий»	SPI2	2	-	нс
			SPI3	2,5		
$t_{h(SI)}$		режим «ведомый»	SPI2	2	-	
			SPI3	2		
$t_{a(SO)}$ (2)	Время доступа к данным на выходе	режим «ведомый»		0	$3t_{PCLK}$	нс
$t_{dis(SO)}$ (3)	Время запрета вывода данных	режим «ведомый»		2	10	нс
$t_{v(SO)}$	Время достоверности вывода данных	Режим «ведомый» (после фронта захвата данных)	SPI2	-	13,5	н
			SPI3	-	17,5	
$t_{v(MO)}$		Режим «ведущий» (после фронта захвата данных)	SPI2	-	6,5	
			SPI3	-	9	
$t_{h(SO)}$	Время удержания данных на выходе	Режим «ведомый» (после фронта захвата данных)		4	-	нс
$t_{h(MO)}$		Режим «ведущий» (после фронта захвата данных)		1	-	

Примечания:

1. *Получены на основании комплексной оценки, в ходе производства не проверяются.*
2. *Минимальное значение – минимальное время для управления выходом, а максимальное значение – максимальное время для корректного получения данных.*
3. *Минимальное значение – минимальное время для отключения выхода, а максимальное значение – максимальное время для перевода линии данных в высокоимпедансное состояние.*

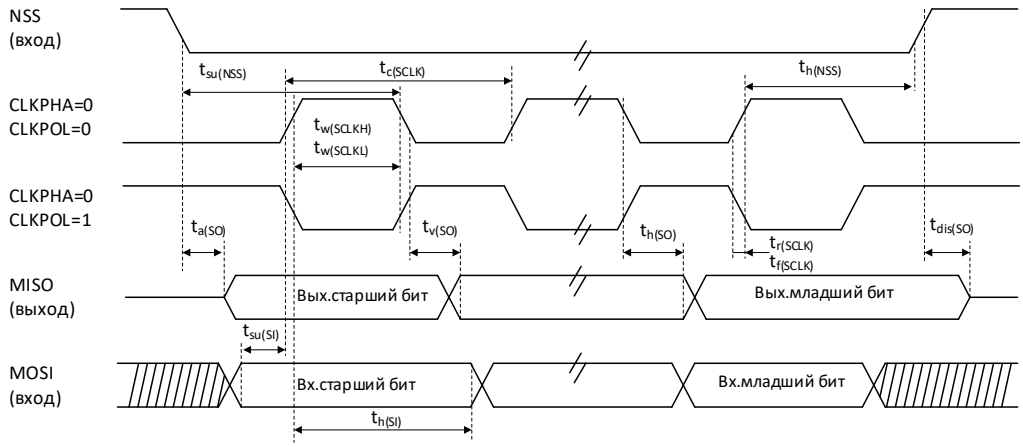


Рис. 4.22 – Временная диаграмма SPI – режим ведомого устройства, CLKPHA=0(1)

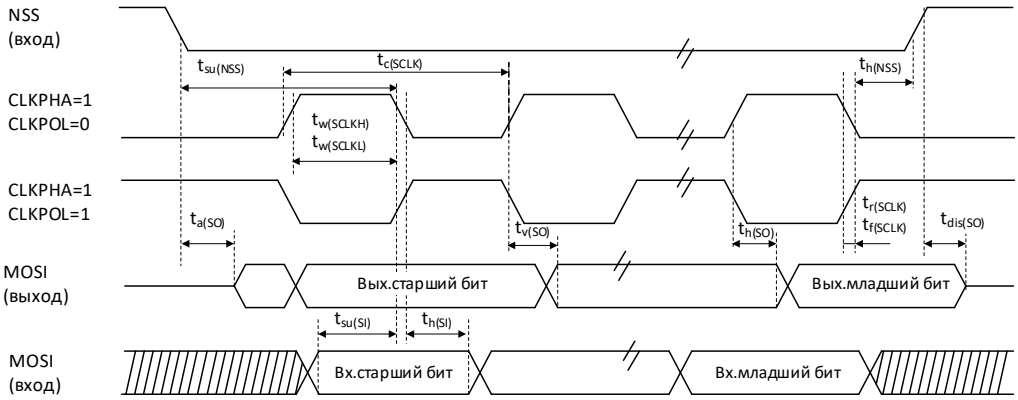


Рис. 4.23 – Временная диаграмма SPI – режим ведомого устройства, CLKPHA=1 (1)

Примечания:

1. *Точки измерения задаются на уровнях КМОП: 0,3V_{DD} и 0,7V_{DD}.*

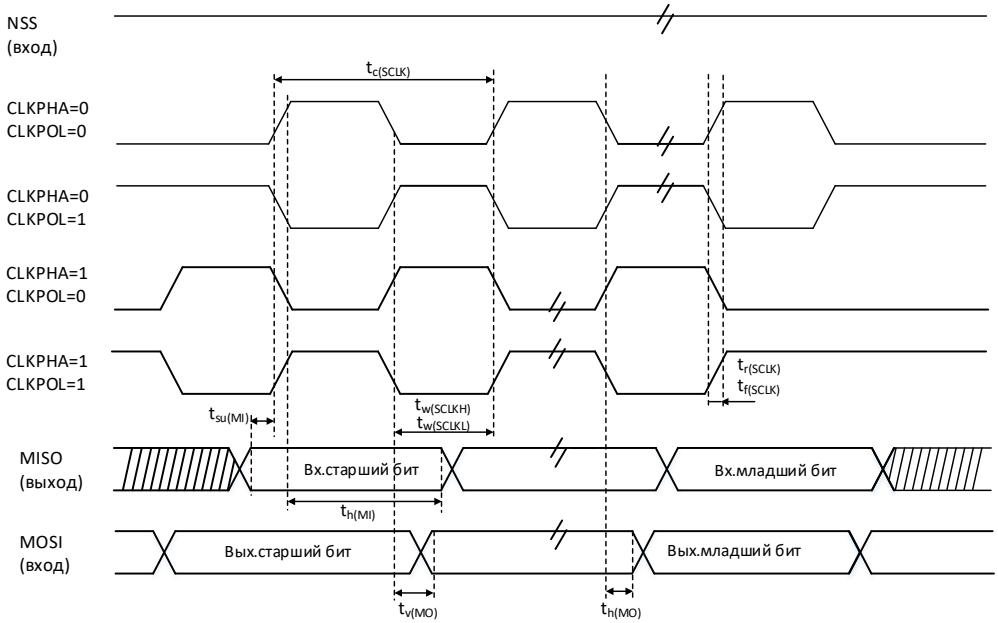


Рис. 4.24 – Временная схема SPI – режим ведущего устройства (1)

Примечания:

1. *Точки измерения задаются на уровнях КМОП: 0,3V_{DD} и 0,7V_{DD}.*

Табл. 4-45 – Характеристики контроллера I2S (1)

Условное обозначение	Параметр	Условие		Мин.	Макс.	Ед.изм
DuCy(SCK)	Коэффициент заполнения входного тактового сигнала	режим «ведомый»		30	70	%
f_{CLK}_ $1/t_{c(CLK)}$	Тактовая частота I2S	режим «ведущий»		-	64*Fs (2)	МГц
		режим «ведомый»		-	64*Fs (2)	
$t_{r(CLK)}$	Время нарастания и спада тактового сигнала I2S	Нагрузочная емкость: C_L = 50 пФ		-	8	нс
$t_{v(WS)}$	Время достоверности WS	режим «ведущий»	I2S2	4,5	-	
			I2S3	6,5	-	
$t_{su(WS)}$	Время удержания WS	режим «ведущий»		4,5	-	
$t_{su(WS)}$	Длительность фронта импульса WS	режим «ведомый»	I2S2	5,5	-	
			I2S3	7	-	

Условное обозначение	Параметр	Условие		Мин.	Макс.	Ед.изм
$t_{h(WS)}$	Время удержания WS	режим «ведомый»	I2S2	1,5	-	нс
			I2S3	2,5	-	
$t_{w(CLKH)}$	Длительность сигнала CLK высокого и низкого уровней	Режим ведущего устройства (32-разрядные данные, аудиосигнал 96 кГц)		312,5	-	
$t_{w(CLKL)}$				345	-	
$t_{su(SD_MR)}$	Время установления данных на входе	ведущий приемник	I2S2	4	-	
			I2S3	5	-	
$t_{su(SD_SR)}$		ведомый приемник	I2S2	4	-	
			I2S3	4,5	-	
$t_{h(SD_MR)}$	Время удержания данных на входе	ведущий приемник		1,5	-	
$t_{h(SD_SR)}$		ведомый приемник		1,5	-	
$t_{v(SD_ST)}$	Время достоверности вывода данных	Ведомый передатчик (после фронта захвата данных)	I2S2	-	14	нс
			I2S3	-	16,5	
$t_{h(SD_ST)}$	Время удержания данных на выходе	Ведомый передатчик (после фронта захвата данных)	I2S2	3,5	-	
			I2S3	4,5	-	
$t_{v(SD_MT)}$	Время достоверности вывода данных	Ведущий передатчик (после фронта захвата данных)		-	6	
$t_{h(SD_MT)}$	Время удержания данных на выходе	Ведущий передатчик (после фронта захвата данных)		0,5	-	

Примечания:

1. *Получены путем моделирования в ходе проектирования и/или теоретической оценки, в ходе производства не проверяются.*
2. *Fs – частота дискретизации аудиосигнала.*

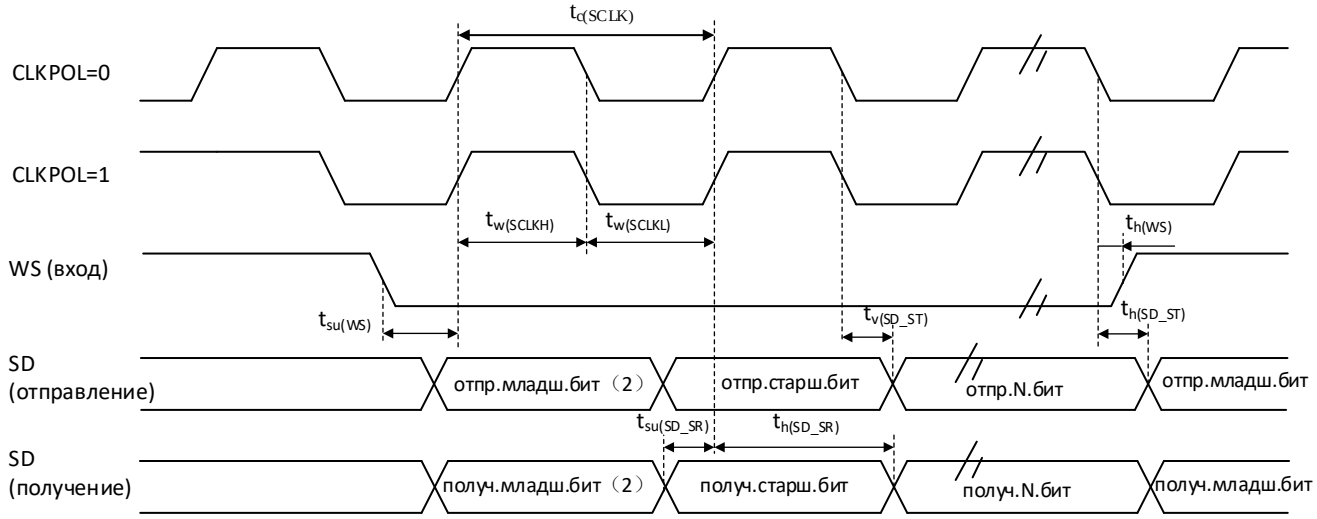


Рис. 4.25 – Временная диаграмма режима ведомого устройства I2S (протокол Philips) (1)

Примечания:

1. *Точки измерения задаются на уровнях КМОП: $0,3V_{DD}$ и $0,7V_{DD}$.*
2. *Показана передача/прием младшего бита предыдущего байта. Перед первым байтом передача/прием младшего бита не выполняется.*

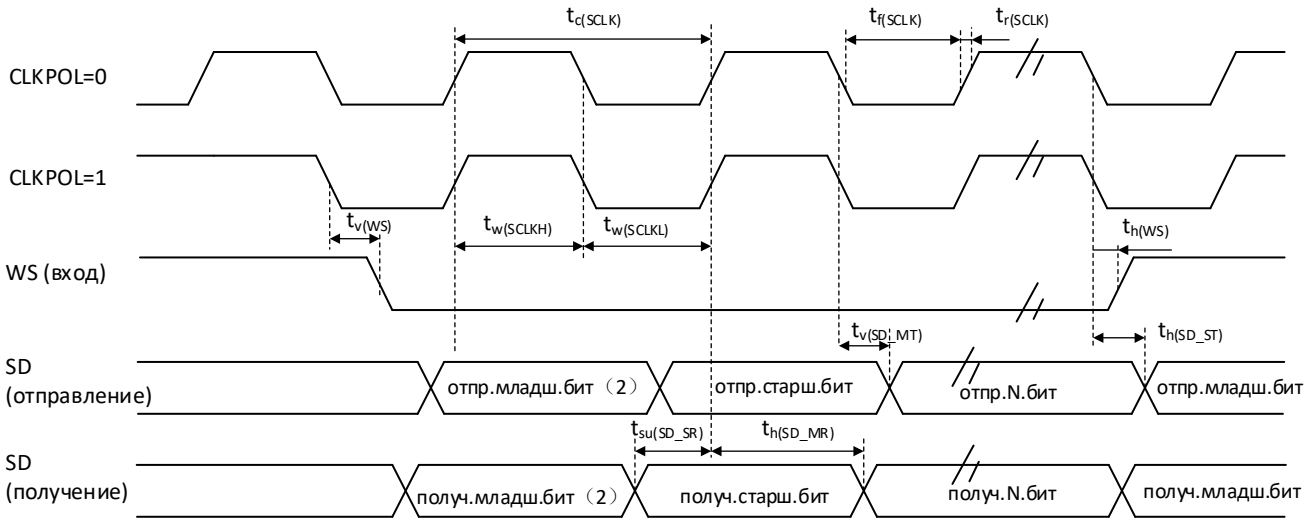


Рис. 4.26 – Временная диаграмма режима ведомого устройства I2S (протокол Philips) (1)

Примечания:

1. *Точки измерения задаются на уровнях КМОП: $0,3V_{DD}$ и $0,7V_{DD}$.*
2. *Показана передача/прием младшего бита предыдущего байта. Перед первым байтом передача/прием младшего бита не выполняется.*

4.3.18 Характеристики контроллера интерфейса QSPI

Табл. 4-46 – Характеристики контроллера интерфейса QSPI в режиме SDR

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
f_{CK} 1/ $_{t(CK)}$	Тактовая частота QSPI	-	36	МГц
$t_{w(CKH)}$	Длительность сигнала SCK высокого и низкого уровней	$t_{(CK)}$ /2-2	$t_{(CK)}$ /2	нс
$t_{w(CKL)}$		$t_{(CK)}$ /2	$t_{(CK)}$ /2+2	нс
$t_{s(IN)}$	Время установления данных на входе	4,5	-	нс
$t_{h(IN)}$	Время удержания данных на входе	4	-	нс
$t_{v(OUT)}$	Время достоверности данных на выходе	-	5,5	нс
$t_{h(OUT)}$	Время удержания данных на выходе	0,5	-	нс

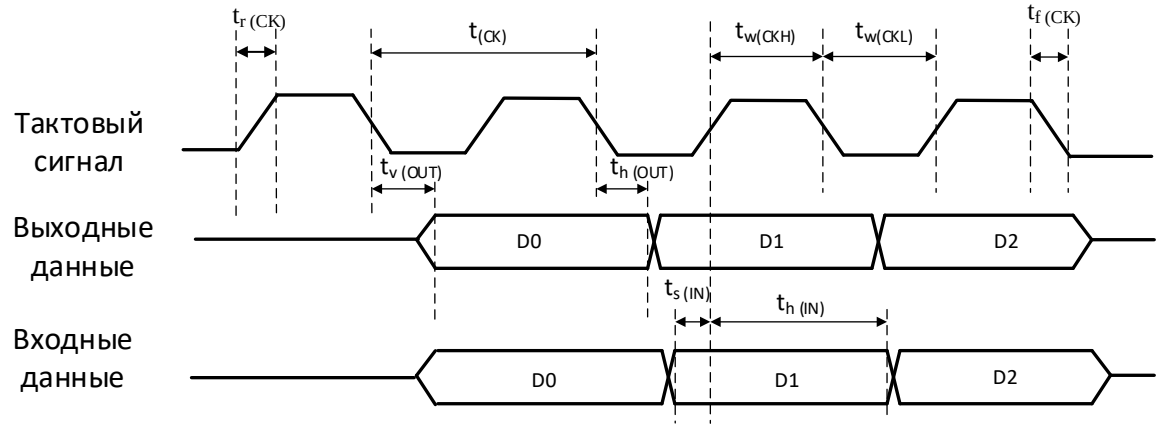


Рис. 4.27 – Временная диаграмма QSPI в режиме SDR

Табл. 4-47 – Характеристики контроллера интерфейса QSPI в режиме DDR

Условное обозначение	Параметр	Мин.	Макс.	Ед. изм.
f_{CK} $1/_{t(CK)}$	Тактовая частота QSPI	-	36	МГц
$t_{w(CKH)}$	Длительность сигнала SCK высокого и низкого уровней	$t_{(CK)}$ /2-2	$t_{(CK)}$ /2	нс
$t_{w(CKL)}$		$t_{(CK)}$ /2	$t_{(CK)}$ /2+2	нс
$t_{sf(IN)}$; $t_{sr(IN)}$	Время установления данных на входе	4,5	-	нс
$t_{hf(IN)}$; $t_{hr(IN)}$	Время удержания данных на входе	4,5	-	нс
$t_{vf(OUT)}$; $t_{vr(OUT)}$	Время достоверности данных на выходе	-	T_{qspi_hclk} * TXDE + 6,5 (1)	нс
$t_{hf(OUT)}$; $t_{hr(OUT)}$	Время удержания данных на выходе	T_{qspi_hclk}*TXDE - 1 (1)	-	нс

Примечания:

1. *T_{qspi_hclk} – период тактового сигнала HCLK, а TXDE – значение регистра управляющего фронта в режиме передачи (регистр QSPI_DDR_TXDE).*

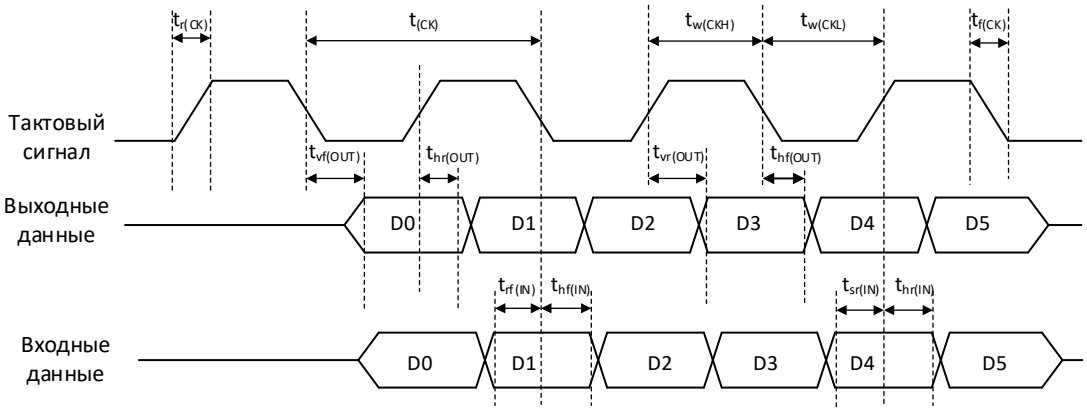


Рис. 4.28 – Временная диаграмма QSPI в режиме DDR

4.3.19 Характеристики контроллера интерфейса CAN

Подробное описание характеристик вводов/выводов в режиме альтернативной функции (CAN_TX и CAN_RX) приводится в разделе 4.3.11.

4.3.20 Электрические параметры 12-разрядного АЦП

Если не указано иное, параметры, перечисленные в Табл. 4-48, измеряются при температуре окружающей среды и напряжении питания V_{DDA} в соответствии с условиями, указанными в Табл. 4-4.

Примечание: Калибровку АЦП рекомендуется выполнять при каждом включении питания.

Поскольку нагрузка, вызванная одновременным запуском АЦП, приведет к нестабильности внутреннего питания V_{DDD}, то при одновременном использовании нескольких АЦП рекоменду-

ется включать их с интервалом не менее 5 мкс.

Табл. 4-48 – Характеристики АЦП

Условное обозначение	Параметр	Условие	Мин.	Тип.	Макс.	Ед. изм.
V_{DDA}	Напряжение питания		1,8	-	3,6	В
V_{REF+}	Положительное опорное напряжение		1,8	-	V_{DDA}	В
f_{ADC}	Тактовая частота АЦП		-	-	72	МГц
f_s (2)	Частота выборки		-	-	5	МГц
V_{AIN}	Диапазон преобразуемого напряжения(3)		0 (V_{SSA} или V_{REF-} подключено к земле)	-	V_{REF+}	В
R_{ADC} (2)	Сопротивление в схеме выборки и хранения	Быстрый канал, при условии, что напряжение равно 3,3 В	-	-	70	кОм
		Медленный канал, при условии, что напряжение равно 3,3 В			0,25	
C_{ADC} (2)	Емкость в схеме выборки и хранения		-	5	-	пФ
SNDR	Отношение сигнал/(шум + искажения)	Быстрый канал и медленный канал, при условии, что напряжение равно 3,3 В	52	65	-	d_{BFS}
T_{cal}	Время калибровки		82			$1/f_{ADC}$
t_S (2)	Время выборки	f_{ADC} = 72 МГц (быстрый канал)	0,0208	-	8,35	мкс
		f_{ADC} = 72 МГц (медленный канал)	0,0625		8,35	
		Быстрый канал	1,5		601,5	$1/f_{ADC}$
		Медленный канал	4,5		601,5	
t_{STAB} (2)	Время включения питания		0	0	20	мкс
t_{CONV} (2)	Общее время преобразования (включая время выборки)		От 14 до 614 (время выборки t_S + последовательная аппроксимация с разрешением 12,5 бит)			$1/f_{ADC}$

Примечания:

1. *Гарантируется комплексной оценкой, не проверяется при производстве.*
2. *Гарантируется конструкцией, не проверяется при производстве.*
3. $$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln\left(2^{N+2}\right)} - R_{ADC}$$

   Приведенная выше формула используется для определения максимального внешнего импеданса, при котором ошибка может быть меньше 1/4 LSB. Где N=12 (указывает на 12-битное разрешение)

Табл. 4-49 – Точность АЦП (1)(2)

Условное обозначение	Параметр	Условия испытаний	Тип.	Макс. (3)	Ед. изм.

Условное обозначение	Параметр	Условия испытаний	Тип.	Макс. (3)	Ед. изм.
E_T	Общая нескорректированная погрешность	f_{HCLK} = 72 МГц, f_{ADC} = 72 МГц, Скорость выборки = 1,75 Мвыб/с, V_{DDA} = 3,3 В, T_A = 25 °C Измерения выполняются после калибровки АЦП $V_{REF+} = V_{DDA}$	±1,5	±6	LSB
E_O	Погрешность смещения		±1,2	±2,5	
E_D	Дифференциальная нелинейность		±0,9	±1,5	
E_L	Интегральная нелинейность		±1	±2,5	

Приложения:

1. *Измерения выполняются после завершения внутренней калибровки АЦП.*
2. *Точность АЦП в зависимости от обратного инжектируемого тока. Необходимо избегать инжекции тока в обратном направлении на любом стандартном аналоговом входе, так как это значительно ухудшает точность преобразования, выполняемого на другом аналоговом входе. Рекомендуется добавить диод Шоттки (между выводами и землей) для аналоговых выводов, которые потенциально могут выдавать обратный ток инжекции.*
3. *Инжекция тока в прямом направлении не влияет на точность АЦП, если он находится в пределах диапазона $I_{INJ(PIN)}$ и $\Sigma I_{INJ(PIN)}$, указанного в Табл. 4-2.*
4. *Гарантируется комплексной оценкой, не проверяется при производстве.*

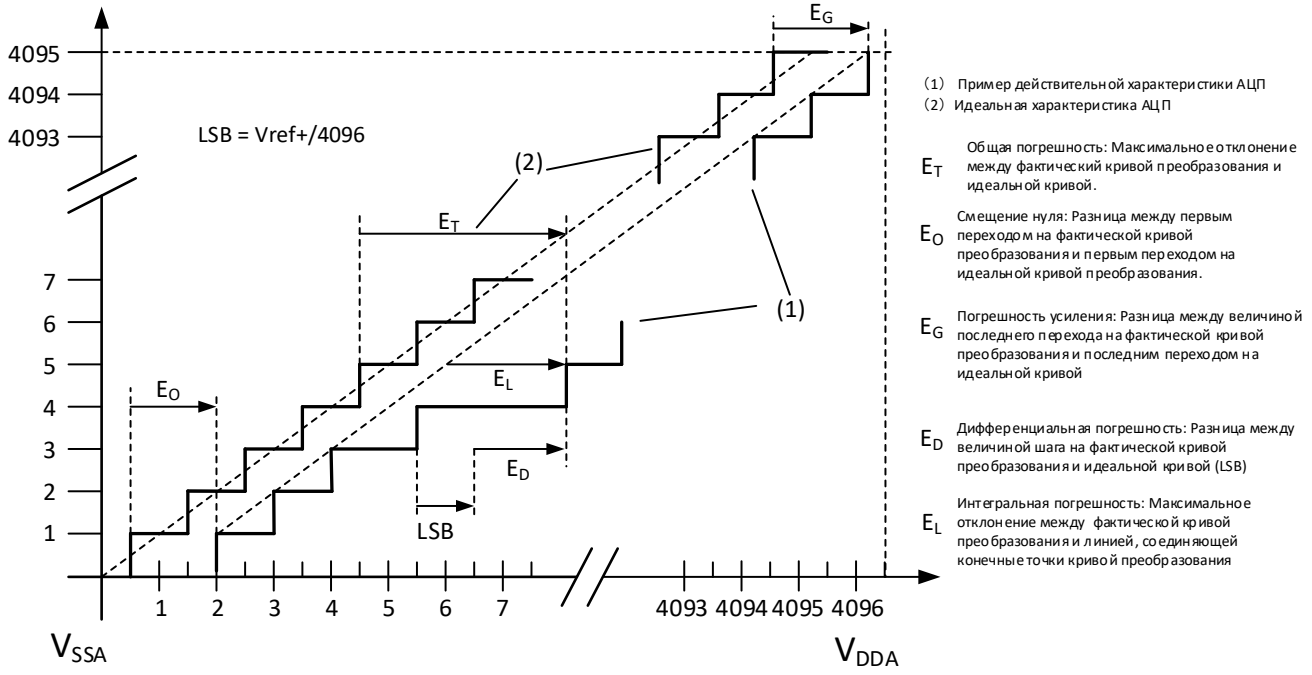


Рис. 4.29 – Характеристики точности АЦП

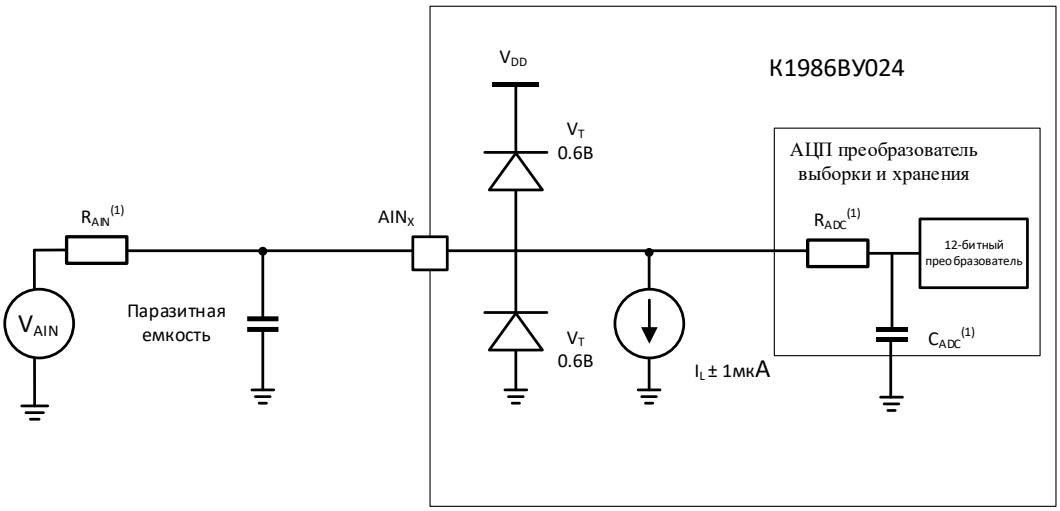


Рис. 4.30 – Стандартная схема соединений с использованием АЦП

Примечания:

1. *Значения R_{ADC} и C_{ADC} приведены в Табл. 4-48.*
2. *$C_{parasitic}$ – паразитная емкость (около 7 пФ) на печатной плате (связанна с пайкой и качеством компоновки печатной платы) и площадке. Более высокие значения $C_{parasitic}$ приводят к снижению точности преобразования; в таких случаях необходимо уменьшить fADC.*

4.3.21 Рекомендации по проектированию печатной платы

В зависимости от того, подключено ли V_{REF+} к V_{DDA}, развязка по питанию должна быть подключена в соответствии с Рис. 4.31. В качестве конденсаторов 10 нФ необходимо использовать керамические конденсаторы, которые должны находиться как можно ближе к микроконтроллеру.

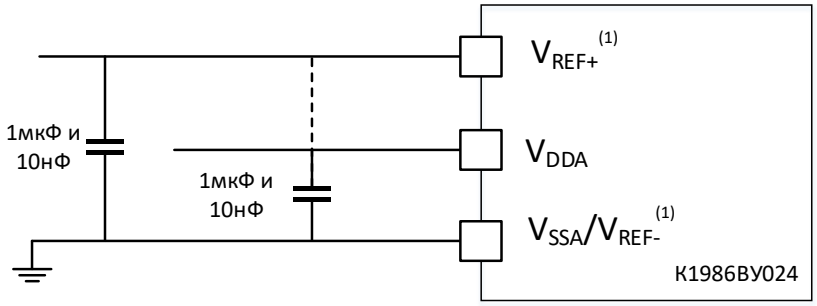


Рис. 4.31 – Развязка цепи питания и опорного напряжения (V_{REF+} не подключено к V_{DDA})

4.3.22 Электрические параметры 12-разрядного ЦАП

Если не указано иное, параметры, перечисленные в Табл. 4-50 , измеряются при температуре окружающей среды, частоте f_{HCLK} и напряжении питания V_{DDA} в соответствии с условиями, указанными в таблице 4-4.

Табл. 4-50 – Характеристики ЦАП (1)

Условное обозначение	Параметр	Мин.	Тип.	Макс.	Ед. изм.	Примечания
V_{DDA}	Напряжение аналогового питания	2,4	-	3,6	В	
V_{DDD}	Напряжение цифрового питания	1,0	1,1	1,2	В	
V_{REF+}	Опорное напряжение	2,4	-	3,6	В	V_{REF+} должно всегда быть ниже V_{DDA}
V_{SSA}	Земля	0	-	0	В	
R_L	Сопротивление нагрузки при включённом буфере	5	-	-	кОм	Минимальное сопротивление нагрузки между DAC_OUT и V_{SSA}
C_L	Нагрузочная емкость при включённом буфере	-	-	50	пФ	Максимальная емкостная нагрузка на выводе DAC_OUT
DAC_OUT minimum	Напряжение DAC_OUT при включенном буфере	0,2	-	-	В	Обеспечивает максимальный выходной диапазон ЦАП.
DAC_OUT maximum	Напряжение DAC_OUT при включенном буфере	-	-	V_{REF+} - 0,2	В	Соответствует 12-разрядному значению на входе (далее код) в диапазоне от 0x0E0 до 0xF1C при V_{REF+} =3,6 В, и в диапазоне от 0x155 до 0xEAB при V_{REF+} = 2,4 В.
	Напряжение DAC_OUT при выключенном буфере			V_{REF+} - 5LSB		
I_{DD}	Ток, потребляемый ЦАП в режиме ожидания (Standby) ($V_{DD\ 18D}$ + $V_{DD\ 33A}$ + V_{REF+})	-	425	600	мкА	Без нагрузки, максимальное потребление при коде 0x800 и V_{REF+} = 3,6 В
		-	500	700		Без нагрузки, максимальное потребление V_{REF+} = 3,6 В
I_{DDQ}	Ток, потребляемый ЦАП в режиме пониженного энергопотребления ($V_{DD\ 18D}$ + $V_{DD\ 33A}$ + V_{REF+})	-	5	350	нА	Без нагрузки
	Ток, потребляемый ЦАП в режиме пониженного энергопотребления ($V_{DD\ 33A}$ + V_{REF+})	-	5	200		
DNL	Дифференциальная нелинейность (разница между двумя последовательными кодами-1LSB) (буфер выключен)	-	±1	±2	LSB	V_{REF+} = 3,6 В
INL	Интегральная нелинейность (разница между измеренным значением в коде i и значением в коде i на линии, проведенной между кодом 0 и последним кодом 1023) (буфер выключен)	-	±2	-±4	LSB	V_{REF+} = 3,6 В
Offset	Погрешность смещения (разница между измеренным значением в коде 0x800 и идеальным значением = V_{REF+} /2)	-	±4	±10	мВ	V_{REF+} = 3,6 В
		-	±5	±12	LSB	
Gain error	Погрешность усиления (буфер выключен)	-	±0,2	±0,5	%	V_{REF+} = 3,6 В
Коэффициент усилителя	Коэффициент усиления в разомкнутом контуре	80	85	-	дБ	Нагрузка 5 кОм (максимальная нагрузка)
$t_{SETTLING\ _}$	Время установления (полная шкала: для перехода 10-битного входного кода между самым низким и самым высоким входными кодами, когда DAC_OUT достигает ±1 LSB от своего конечного значения)	-	3	4	мкс	$C_{LOAD} \leq$ 50 пФ, $R_{LOAD} \geq$ 5 кОм

Условное обозначение	Параметр	Мин.	Тип.	Макс.	Ед. изм.	Примечания
Частота обновления	Максимальная частота корректного изменения DAC_OUT при небольшом изменении входного кода (изменение от значения i до i+1LSB)	-	-	1	МС/с	$C_{LOAD} \leq 50$ пФ, $R_{LOAD} \geq 5$ кОм
t_{WAKEUP}	Время перехода в рабочий режим из выключенного состояния (Значение бита CHxEN регистра DAC_CTRL меняется с 1 на 0)	-	6,5	10	мкс	$C_{LOAD} \leq 50$ пФ, $R_{LOAD} \geq 5$ кОм Входной код между минимальным и максимальным возможными значениям
PSRR+	Коэффициент подавления нестабильности питания (относительно $V_{DD\ 33A}$) (статическое измерение постоянного тока)	-	-67	-40	дБ	Без R_{LOAD}, $C_{LOAD} \leq 50$ пФ

Примечания:

1. *Гарантируется комплексной оценкой, не проверяется при производстве.*

4.3.23 Электрические параметры операционного усилителя

Если не указано иное, параметры, перечисленные в Табл. 4-51 , измеряются при температуре окружающей среды, частоте f_{HCLK} и напряжении питания V_{DDA} в соответствии с условиями, указанными в таблице 4-4.

Табл. 4-51 – Характеристики операционного усилителя (1)

Условное обозначение	Параметр	Условие	Мин.	Тип.	Макс.	Ед. изм.
V_{DDA}	Напряжение аналогового питания	-	1,8	-	3,6	В
CMIR	Диапазон входного синфазного сигнала	-	0	-	V_{DDA}	В
VI_{OFFSET}	Входное напряжение смещения	-	-3,5	+/-1	+/-3,5	мВ
ΔVI_{OFFSET}	Дрейф входного напряжения смещения	-	-	10	-	мкВ/°С
I_{LOAD}	Управляющий ток	-	-	0,5	-	мА
I_{DDA}	Ток, потребляемый операционным усилителем	Без нагрузки, режим покоя	-	-	1,5	мА
$T_{S_OPAMP_VOUT}$	Время выборки АЦП в качестве выхода операционного усилителя	-	400	-	-	нс
CMRR	Коэффициент ослабления синфазного сигнала	-	-	84	-	дБ
PSRR	Коэффициент подавления нестабильности питания	-	-	100	-	дБ
GBW	Частота единичного усиления	-	-	4	-	МГц
SR	Скорость нарастания выходного напряжения	-		1,5	-	В/мкс
R_{LOAD}	Импедансная нагрузка	-	4	-	-	кОм
C_{LOAD}	Емкостная нагрузка	-	-	-	50	пФ
$T_{STARTUP}$	Время включения	$C_{LOAD} \leq 50$ пФ, $R_{LOAD} \geq 4$ кОм, конфигурация повторителя напряжения	-	3	5	мкс

Условное обозначение	Параметр	Условие	Мин.	Тип.	Макс.	Ед. изм.
Отклонение коэффициента усиления PGA	Отклонение коэффициента усиления операционного усилителя с программируемым коэффициентом усиления	Коэффициент усиления PGA = 2/4/8, Амплитуда входного сигнала > 100 мВ	-2,5	-	2,5	%
		Коэффициент усиления PGA = 16, Амплитуда входного сигнала > 100 мВ	3		2,5	
		Коэффициент усиления PGA = 32, Амплитуда входного сигнала > 100 мВ	-5		2,5	
PGA BW	Полоса пропускания PGA для различных неинвертирующих коэффициентов усиления	Коэффициент усиления PGA = 2, C_{LOAD} = 50 пФ, R_{LOAD} = 4 кОм	-	2	-	МГц
		Коэффициент усиления PGA = 4, C_{LOAD} = 50 пФ, R_{LOAD} = 5 кОм	-	1	-	
		Коэффициент усиления PGA = 16, C_{LOAD} = 50 пФ, R_{LOAD} = 6 кОм	-	0,25	-	
		Коэффициент усиления PGA = 32, C_{LOAD} = 50 пФ, R_{LOAD} = 7 кОм	-	0,125	-	
eN	Спектральная плотность шума	при 1 кГц, нагрузка на выходе – 4 кОм	-	111	-	нВ/√Гц
		при 10 кГц, нагрузка на выходе – 4 кОм	-	43,9	-	

Примечания

1. *Гарантируется конструкцией, не проверяется при производстве*

4.3.24 Электрические параметры компаратора

Если не указано иное, параметры, перечисленные в Табл. 4-52, измеряются при температуре окружающей среды, частоте f_{HCLK} и напряжении питания V_{DDA} в соответствии с условиями, указанными в Табл. 4-4.

Табл. 4-52 – Характеристики компаратора (1)

Условное обозначение	Параметр	Условие	Мин.	Тип.	Макс.	Ед. изм.
V_{DDA}	Напряжение аналоговое питания	-	1,8	-	3,6	В
V_{IN}	Диапазон значений входного напряжения	-	0	-	V_{DDA}	
V_{OUT}	Диапазон значений выходного напряжения		0,1		V_{DDA}-0,1	В
T_{START}	Время запуска компаратора ido момента достижения t_D	V_{DDA} >= 2,7 В	-	-	5	мкс
		V_{DDA} < 2,7 В	-	-	7	
t_D	Задержка распространения сиг-	V_{DDA} >= 2,7 В	-	50	65	нс

Условное обозначение	Параметр	Условие		Мин.	Тип.	Макс.	Ед. изм.
	нала (от входного контакта к выходному контакту) для шага 200 мВ с перегрузкой 100 мВ	V_{DDA} < 2,7 В		-	60	80	
V_{OFFSET}	Погрешность смещения компаратора	Полный диапазон напряжения синфазного сигнала		-	±8	±20	мВ
V_{hys}	Гистерезис	Гистерезис отсутствует		-	0	-	мВ
		Низкий гистерезис		3	11	18	
		Средний гистерезис		8	20	36	
		Высокий гистерезис		16	40	72	
I_{DDA}	Ток, потребляемый компаратором	Высокоскоростной режим	Статический	-	50	70	мкА
			При сигнале овердрайв прямоугольной формы 50 кГц, ±100 мВ	-	60	-	

Примечания

1. *Гарантируется конструкцией, не проверяется при производстве*

4.3.25 Характеристики датчика температуры

Если не указано иное, параметры, перечисленные в Табл. 4-53, измеряются при температуре окружающей среды, частоте f_{HCLK} и напряжении питания V_{DDA} в соответствии с условиями, указанными в Табл. 4-4.

Табл. 4-53 – Характеристики датчика температуры

Условное обозначение	Параметр	Мин.	Тип.	Макс.	Ед. изм.
T_L (1)	Линейность V_{SENSE} относительно температуры	-	±1	±4	°C
Avg_Slope (1)	Усредненный коэффициент преобразования	3,7	4,1	4,3	мВ/°C
V_{25} (1)	Напряжение при 25 °C	-	1,33	-	В
t_{START} (1)	Время запуска	4	-	10	мкс
T_{S_temp} (2)(3)	Время выборки АЦП при считывании температуры	8,2	-	17,1	мкс

Примечания:

1. *Гарантируется комплексной оценкой, не проверяется при производстве.*
2. *Гарантируется конструкцией, не проверяется при производстве.*
3. *Наименьшее время выборки можно определить с помощью нескольких запусков.*

5 ГАБАРИТНЫЙ ЧЕРТЕЖ МИКРОСХЕМЫ

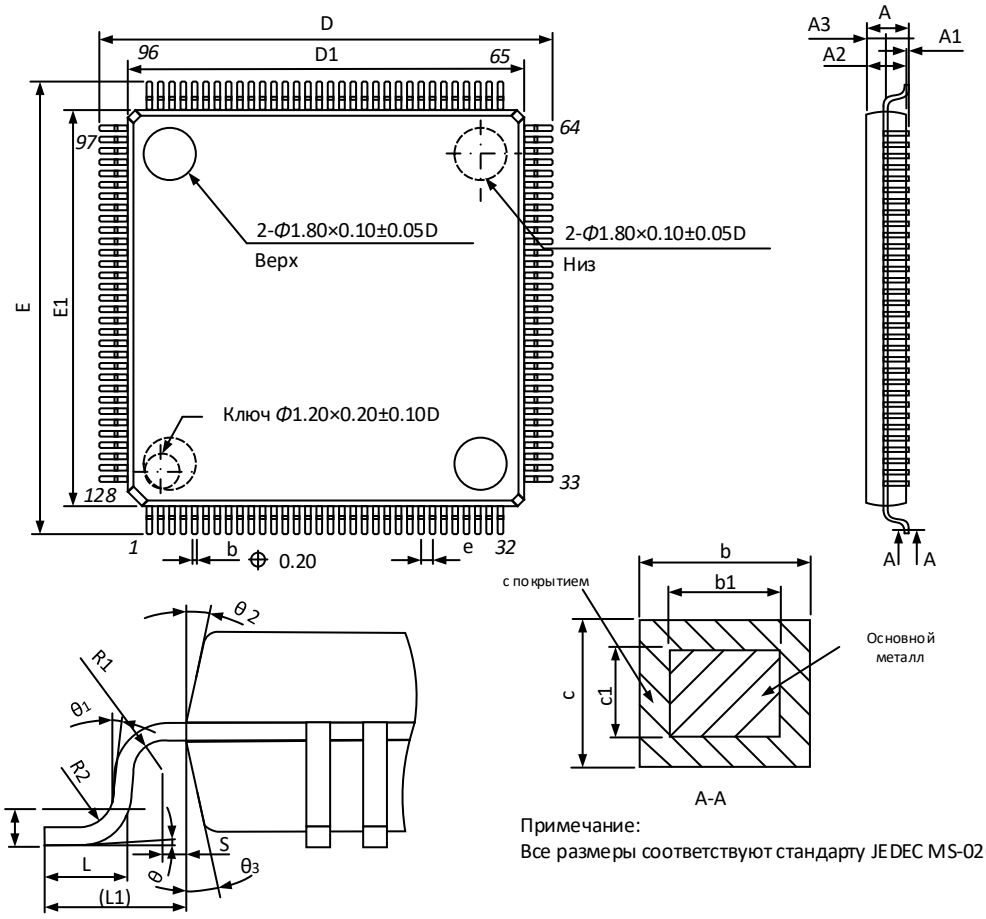


Таблица 1 (размеры в мм.)

Размеры	Мин.	Ном.	Макс.
A	-	-	1,60
A1	0,05	-	0,15
A2	1,35	1,40	1,45
A3	0,59	0,64	0,69
b	0,14	-	0,23
b1	0,13	0,16	0,19
c	0,13	-	0,18
c1	0,12	0,127	0,134
D	15,80	16,00	16,20
D1	13,90	14,00	14,10
E	15,80	16,00	16,20
E1	13,90	14,00	14,10
e	0.40 базовый		
L	0,45	0,6	0,75
L1	1.00 справочный		
L2	0.25 базовый		
R1	0,08	-	-
R2	0,08	-	0,20
S	0,20	-	-
θ	0°	3.5°	7°
θ 1	0°	-	-
θ 2	11°	12°	13°
θ 3	11°	12°	13°

Примечание:
Все размеры соответствуют стандарту JEDEC MS-026

Рис. 5.1 – Микросхема в корпусе LQFP128

Лист регистрации изменений

Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ докум.	Входящий № сопроводительного докум. и дата	Подп.	Дата
	измененных	замененных	новых	аннулированных					

Подп. и дата

Инв. № дубл.

Взам. инв. №

Подп. и дата

Инв. № подл.